



Etude de structures innovantes pour la réalisation d'amplificateur RF faible bruit sans inductance et à très faible consommation

Francois Belmas

► To cite this version:

Francois Belmas. Etude de structures innovantes pour la réalisation d'amplificateur RF faible bruit sans inductance et à très faible consommation. Autre. Université de Grenoble, 2013. Français. NNT : 2013GRENT011 . tel-00934813

HAL Id: tel-00934813

<https://theses.hal.science/tel-00934813>

Submitted on 22 Jan 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Optique et Radiofréquences**

Arrêté ministériel : 7 août 2006

Présentée par

François BELMAS

Thèse dirigée par **Jean-Michel FOURNIER** et
codirigée par **Frédéric HAMEAU**

préparée au sein du **LAIR - CEA DACLE**
dans l'**École Doctorale Electronique, Electrotechnique,**
Automatique et Traitement du Signal

Étude de structures innovantes pour la réalisation d'amplificateur RF faible bruit sans inductance et à très faible consommation

Thèse soutenue publiquement le **22 Mars 2013**,
devant le jury composé de :

Mr Thierry PARRA

Professeur des universités, LAAS CNRS, Toulouse, Président du jury

Mr Yann DEVAL

Professeur des universités, Université de Bordeaux, Rapporteur

Mr Sylvain BOURDEL

Maitre de conférence, Université d'Aix Marseille, Rapporteur

Mr Carlo TINELLA

Docteur, Société ASYGN, Grenoble, Examineur

Mr Jean-Michel FOURNIER

Professeur des universités, INP Grenoble, Directeur de Thèse

Mr Frederic HAMEAU

Ingénieur, CEA Grenoble, Co-Encadrant de thèse

Mr Giuseppe GRAMEGNA

Docteur, Société Samsung SFRC, Sophia-Antipolis, Invité



Chapitre 1.	Contexte général de la thèse	7
1.1.	Les réseaux de capteurs.....	7
1.2.	La norme IEEE 802.15.4.....	9
1.3.	Intérêts des structures sans inductances	13
1.4.	Conclusion et introduction aux travaux de la thèse.....	15
Chapitre 2.	Conception d'une Inductance Active Différentielle (DAI) dédiée à l'amplification faible bruit	18

PARTIE 1. CONTEXTE D'APPLICATION & ETAT DE L'ART DES INDUCTANCES ACTIVES INTEGREES..... 18

1.1.	Caractéristiques d'une inductance passive intégrée.....	18
1.1.1.	Effet des pertes de l'inductance sur les paramètres du réseau	21
1.2.	Etat de l'art des inductances actives (IA)	22
1.2.1.	Principe du gyrateur.....	22
1.2.2.	IA simple MOS.	23
1.2.3.	Réalisation pratique d'une IA	23
1.2.4.	Etat de l'art concernant la réalisation d'inductance actives.....	24
1.2.4.a.	IA Cascodée.....	24
1.2.4.b.	IA à haut facteur de qualité en RF.....	25
1.2.4.c.	IA avec impédance de dégénération.....	27
1.2.4.d.	IA Différentielle (DAI)	29
1.2.5.	Amélioration des performances des IA.....	31
1.2.5.a.	Technique de linéarisation par boucle de contre-réaction.....	31
1.2.5.b.	Technique d'annulation du bruit	33
1.3.	Amplificateur basée sur l'utilisation d'une Inductance Active	35
1.3.1.	Impact de la DAI sur les performances d'un LNA.....	36
1.3.2.	Limites des travaux réalisés dans le cadre de la thèse.....	37

PARTIE 2. CONCEPTION ET REALISATION D'UNE DAI EN TECHNOLOGIE CMOS 65NM 38

2.1.	Conception d'une inductance active en technologie CMOS 65nm.....	38
2.1.1.	Rappel de la structure DAI.....	38
2.1.2.	Spécification des performances	39
2.1.3.	Dimensionnement de la DAI	39
2.1.4.	Simulation et Mesure de la DAI en limite de stabilité.....	41
2.1.5.	Simulation et mesure de la DAI en mode dégradé	45
2.1.6.	Conclusion sur la fonctionnalité petit signal de l'inductance.....	48
2.1.7.	Sensibilité de la DAI aux variations technologiques	48
2.2.	Fonctionnement de la DAI en grand signal	55

2.2.1.	Point de compression d'une charge.....	55
2.2.2.	Mécanismes de compression de la DAI.....	55
2.2.3.	Simulation et mesure de l'impédance de la DAI en large signal	58
2.2.4.	Effet du réglage de la résistance différentielle du MOS M_3	59
2.2.1.	Techniques de linéarisation de la DAI.....	62
2.2.1.a.	Origine de la distorsion – Modélisation simplifiée	62
2.2.1.b.	Contrôle de la contre réaction positive	64
2.3.	Conclusion sur la conception d'une DAI	73
Chapitre 3.	Conception d'un LNA sans inductance en technologie CMOS 130nm.....	75
PARTIE 1.	ETAT DE L'ART DES LNA SANS INDUCTANCES	75
1.1.	Techniques de conception de LNA avec inductances.....	75
1.2.	Techniques de conception de LNA sans inductances	76
1.2.1.	LNA à contre réaction résistive	76
1.2.1.a.	LNA à contre réaction résistive pure.....	77
1.2.1.b.	LNA à contre réaction par suiveur de tension.....	78
1.2.2.	LNA à base de montage grille commune	80
1.2.2.a.	Montage de base	80
1.2.2.b.	Cas particulier du LNA GC utilisant une technique de gm —boost.....	83
1.2.3.	LNA à annulation de bruit.....	86
1.2.4.	Conclusion sur l'état de l'art des LNA	86
PARTIE 2.	CONCEPTION D'UN LNA DIFFERENTIEL SANS INDUCTANCE ET BASE CONSOMMATION POUR LA BANDE ISM EN CMOS 130NM	87
2.1.	Choix de la topologie.....	87
2.1.1.	Objectifs de performance	87
2.1.2.	LNA a gm —boost basse consommation.....	88
2.1.2.a.	Adaptation en entrée.	90
2.1.2.b.	Gain et bande passante.	92
2.1.2.c.	Bruit du LNA.....	95
2.1.2.d.	Linéarité du LNA.....	99
2.1.2.e.	Stabilité haute fréquence.	103
2.1.2.f.	Sensibilité aux variations technologiques.....	105
2.2.	Implémentation et mesure du LNA	105
2.2.1.a.	Mesures des performances du LNA	107
2.3.	Version 2 du LNA à gm —boost basse consommation.	113
2.3.1.a.	Amélioration de la bande passante.....	114
2.3.1.b.	Impédance d'entrée.	116
2.3.1.c.	Amélioration de la stratégie de polarisation.....	117

2.3.1.d.	Effet de la boucle de polarisation sur la linéarité du LNA.	121
2.3.1.e.	Optimisation du buffer de test.....	123
2.3.1.f.	Effet des performances en bruit du buffer sur la caractérisation du LNA. 125	
2.4.	Implémentation et mesure du LNA version 2.....	127
2.4.1.a.	Mesure des performances du LNA V2.....	128
2.5.	Conclusion sur la conception de LNA sans inductances.	133
Chapitre 4.	Perspectives et conclusions	134
1.1.	Perspectives à la conception basse consommation sans inductances	134
1.1.1.	Minimisation des coûts liés aux inductances.	134
1.1.2.	Coûts liés à l'implémentation différentielle.	137
1.1.3.	Architecture radio filtrantes innovantes.....	138
1.2.	Conclusion Générale.....	144
Chapitre 5.	Bibliographie générale.....	146
Chapitre 6.	Annexes	152
A.1.	Annexe A1 – Effets de second ordre sur l'impédance d'entrée des montages GC.....	152
a.	Cas du montage grille commune simple.....	152
b.	Cas du LNA réalisé en Partie 2	153
A.2.	Annexe 2 – Comparaison de performances sur un montage GC avec et sans inductances.....	156
A.3.	LNA à annulation de bruit.....	158
A.4.	Calcul des fonctions de transfert fréquentielles du gain du LNA proposé.....	161
A.5.	Calcul des contributeurs au facteur de bruit du LNA proposé	162
A.6.	Estimation de la stabilité du LNA par l'étude de la boucle de contre- réaction propre à C4	164
A.7.	Comparateur DC utilisé dans la boucle de polarisation du LNA V ₂ ..	167
A.8.	Impédance d'entrée du LNA V2.....	169

Chapitre 1.	Contexte général de la thèse	7
1.1.	Les réseaux de capteurs.....	7
1.2.	La norme IEEE 802.15.4.....	9
1.3.	Intérêts des structures sans inductances.	13
1.4.	Conclusion et introduction aux travaux de la thèse.....	15

Chapitre 1. Contexte général de la thèse

1.1. Les réseaux de capteurs

Ces dix dernières années ont vu l'explosion des technologies de communication sans fils. Les normes se sont multipliées de sorte que les fonctionnalités GSM, GPS, WIFI, Bluetooth et autres font maintenant partie de notre quotidien. Il n'est d'ailleurs pas rare de les voir regroupées au sein d'un même terminal voire d'un même circuit intégré. Le déploiement de ces systèmes de communication a été rendu possible par la réduction du coût de leur fabrication mais aussi par la miniaturisation, permettant une meilleure intégration dans notre environnement proche. En poussant toujours plus loin l'intégration de systèmes de communication, la notion d'environnement intelligent (*smart environnement*) est apparue. Les réseaux de capteurs (*Wireless Sensors network WSN*) incluant les réseaux de capteur WPAN (*Wireless Personnel Area Network*) seront amenés à jouer un rôle important dans l'environnement de demain. On peut citer comme exemple d'utilisation la surveillance de structure, l'analyse de l'environnement, le suivi des stocks, la surveillance de personnes dans des applications médicales (implant cardiaque, prothèse auditive,...) et bien d'autres applications dans des environnements peu ou pas accessible. Cependant, il persiste encore certaines limitations majeures au déploiement à grande échelle de ces réseaux de capteurs. En effet leurs cas d'application ne connaîtra plus de limite lorsque leur taille, leur coût et surtout leur consommation en énergie seront réduits. La dissémination de ces capteurs ne peut se faire que si leur intégration dans notre environnement est discrète et ne nécessite pas d'intervention humaine régulière. Idéalement la durée de vie du capteur doit être liée à la durée de vie de l'électronique. La condition indispensable à de telles utilisations reste la réduction drastique de la consommation énergétique du capteur, lui permettant de se contenter de la durée de charge de sa propre batterie ou de pouvoir se contenter à défaut de l'énergie récupérable dans son environnement de fonctionnement (vibration, chaleur, rayonnement, etc.)

Afin de répondre aux contraintes propres de ces réseaux de capteurs, la normalisation du protocole de communication offre un contexte favorable à la faible consommation. La norme IEEE 802.15.4 définit la couche physique d'un protocole de communication radio exploité dans plusieurs solutions technologiques du marché destinées aux réseaux de capteurs. La plus connue de ces technologies étant la technologie ZigBee® [1]. On trouve également d'autres solutions qui proposent des couches physiques très similaires à la norme 802.15.4 mise en œuvre dans la technologie Zigbee® (on peut citer les technologies Bluetooth4, WirelessHART et ISA100.11a [2]). Les caractéristiques les plus notables de cette norme sont : le choix de la modulation mise en œuvre, les spécifications en débit, les spécifications en coexistence. Ceci offre un cadre de normalisation dans lequel l'autonomie en énergie peut être largement améliorée. De façon générale, le débit et les contraintes de coexistence (bloqueurs, interféreurs) sont les points d'une norme qui orientent le plus la consommation des circuits qui constituent la chaîne radio.

Conjointement à une norme physique optimisée pour l'autonomie, le coût de la technologie utilisée pour la réalisation de ces capteurs doit être pris en compte. La technologie CMOS est aujourd'hui la plus favorable à la réalisation de capteurs bons marchés puisqu'elle permet une intégration maximale de l'ensemble des composants nécessaires à un capteur (processeur de données en bande de base, composants analogiques et radiofréquence, système de mémoire, système de test intégré, calibration etc.). L'intégration de composants passifs de bonne qualité (capacité, inductances, capacité variables) est également un atout mais ces composants massifs impactent largement l'encombrement total d'un système intégré et le coût associé à cet encombrement.

Dans le cadre des travaux de cette thèse, une attention particulière a été portée sur les améliorations possibles de la chaîne de réception radio lorsque celle-ci est réalisée en technologie CMOS. La plupart des réalisations actuelles tirent partie des techniques de résonance *LC* passives pour améliorer les performances en consommation notamment pour la conception de l'amplificateur faible bruit (*Low Noise Amplifier* – *LNA*). Ces réalisations souffrent d'un encombrement silicium important car elles recourent à l'utilisation d'inductances intégrées. Cette approche présente l'inconvénient de ne pas tirer avantage de la réduction des nœuds technologiques qui aide à réduire l'encombrement des parties digitales des circuits intégrés complexes. Il y a donc d'un côté la contrainte de consommation qui incite à utiliser des inductances passives encombrantes, et de l'autre l'utilisation d'une technologie

CMOS qui rend couteux les circuits analogiques encombrants. Le compromis coût de réalisation et performance radio est ainsi mis en avant.

1.2. La norme IEEE 802.15.4.

La technologie ZigBee® [3] dont la couche physique repose sur la norme IEEE 802.15.4 [4] est une technologie dédiée aux réseaux de capteurs sans fils. Comme nous l'avons mentionné en introduction cette norme est particulièrement adaptée pour les systèmes à très forte réduction de consommation électrique. Le débit, la sensibilité, le type de modulation sont autant de paramètres qui auront un impact direct sur la consommation du système final. Dans le cas de réseaux de capteurs autonomes, le débit de données est en général modéré puisque l'on cherche à effectuer des mesures simples (température, luminosité, humidité) pour lesquelles la quantité de données à échanger ainsi que le délais entre deux relevé de données ne sont pas aussi critiques que dans le cas des applications temps réel (lien vidéo, acquisition numérique rapide, etc.). La norme IEEE 802.15.4 a donc été optimisée pour des débits modérés. Le Tableau 1-1 ci-dessous détaille les principales caractéristiques du lien radio fréquence (RF) mise en œuvre dans cette norme, lequel peut être implémenté dans l'une des 3 bandes ISM (soit les bandes 868MHz, 915MHz ou encore 2.4GHz [3]).

Tableau 1-1. Caractéristiques de la couche physique – IEEE 802.15.4

Parameter	2.4 GHz PHY	868/915 MHz PHY
Sensitivity @ 1% PER	-85 dBm	-92 dBm
Receiver Maximum Input Level	-20 dBm	
Adjacent Channel Rejection	0 dB	
Alternate Channel Rejection	30 dB	
Output Power (Lowest Maximum)	-3 dBm	
Transmit Modulation Accuracy	EVM<35% for 1000 chips	
Number of Channels	16	1/10
Channel Spacing	5 MHz	single-channel/2 MHz
Transmission Rates		
Data Rate	250 kb/s	20/40 kb/s
Symbol Rate	62.5 ksymbol/s	20/40 ksymbol/s
Chip Rate	2 Mchip/s	300/600 kchip/s
Chip Modulation	O-QPSK with half-sine pulse shaping (MSK)	BPSK with raised cosine pulse shaping
RX-TX and TX-RX turnaround time	12 Symbols	

Au regard de ce tableau, et du point de vue de l'émetteur, cette norme autorise par exemple l'utilisation d'une chaîne d'émission largement non-linéaire étant donné le budget élevé d'EVM (Error Vector Magnitude) autorisé. Le choix d'une topologie d'amplificateur de puissance est plus large lorsqu'il s'agit de traiter des signaux à enveloppe constante comme c'est le cas ici. Ceci permet par exemple l'utilisation de classe d'amplificateur de puissance à haut rendement.

Du point de vue du récepteur, la spécification relâchée en sensibilité de -85 dBm permet d'envisager une figure de bruit de la chaîne relativement élevée limitant ainsi les contraintes de bruit des différents blocs ainsi que leurs consommations respectives. La modulation O-QPSK à enveloppe constante et le faible débit permet également d'utiliser une chaîne de réception en bande de base dont la linéarité est moins critique avec une résolution d'ADC faible tout en respectant la norme IEEE 802.15.4 (dans [5] il est montré qu'un ADC de 3 bits suffit à tenir les spécifications en sensibilité). L'absence de spécification de rejection du canal adjacent est également un avantage.

A titre illustratif on peut comparer l'impact des spécifications en sensibilité de la norme IEEE 802.15.4 avec celles de la norme IEEE 802.11g (Wifi). On formule comme hypothèse que l'on cherche à atteindre le même niveau de rapport signal à bruit (SNR) de 15dB sur l'ensemble de la chaîne. On suppose également que le bruit de la chaîne est uniquement dû au LNA. Ainsi, un calcul rapide montre que le LNA peut présenter un facteur de bruit 3dB plus élevé dans le cas du ZigBee pour le même SNR. Le détail de la comparaison est donné dans le Tableau 1-2. La formule pour le calcul de la sensibilité est rappelée ci-dessous (1-1) [6].

$$NF_{LNA}[dB] = SNR [dB] + 174 [dBm.Hz^{-1}] - 10 \log_{10}(BW [Hz]) - P_{SENSI}[dBm] \quad (1-1)$$

Tableau 1-2. Comparaison des spécifications en sensibilité entre les normes 802.15.4 et 802.11g

	IEEE 802.15.4	IEEE 802.11g
Spécification P_{SENSI} (dBm)	-85	-82 ^(*)
SNR (dB)	15	15
BW : Largeur du canal (MHz)	5	20
NF_{LNA} (dB)	7.01	3.98

(*) Dans le cas d'une modulation BPSK et pour des canaux de 20MHz

Un autre avantage lié aux spécifications de la couche physique est la possibilité d'utiliser des rapports cycliques de fonctionnement très faibles avec des consommations en mode veille très faibles. Ceci permet d'étendre considérablement la durée de vie de la batterie lorsque l'on considère un capteur totalement autonome qui délivre une mesure dont la période de répétition est très grande (de l'ordre de plusieurs secondes, voire de plusieurs minutes).

On s'intéresse à présent aux architectures généralement associées à la norme IEEE 802.15.4. Les architectures RF utilisées couramment dans les standards les plus répandus (typiquement les normes GSM, Wifi - 802.11 b/g/n/ac) sont également très utilisées pour la technologie ZigBee [5]. En règle générale on privilégie les architectures à fréquence intermédiaires faibles voire nulles, avec un mélange en quadrature (Figure 1-1) ce qui permet de s'affranchir les problèmes de fréquence image [3] et d'obtenir une intégration complète du front-end RF.

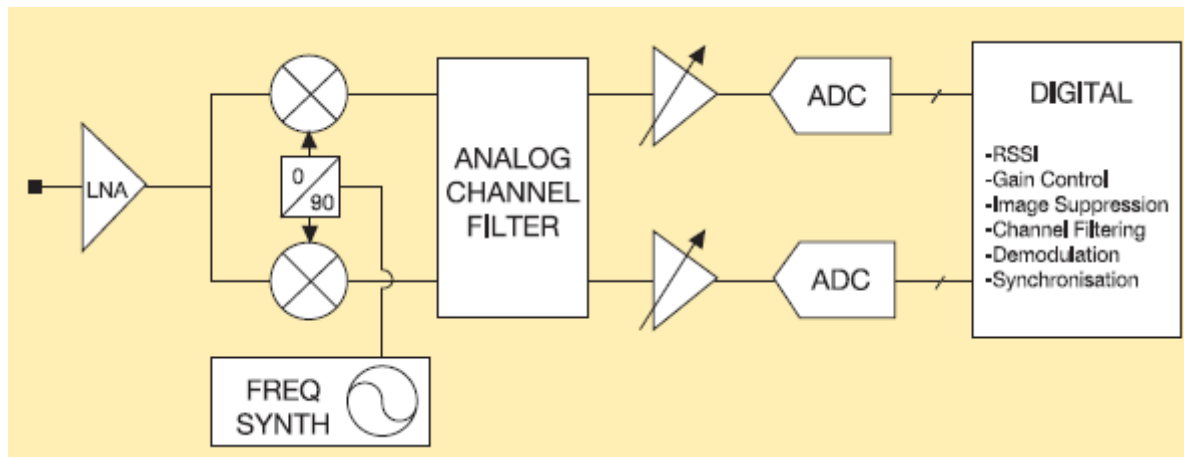


Figure 1-1. Schéma bloc d'un récepteur RF comprenant dans l'ordre : LNA, mélangeur avec synthèse de fréquence en quadrature, un filtre de canal en bande base, des amplificateurs en bande de base, une conversion analogique numérique ainsi qu'un processeur de traitement digital.

Il existe également des architectures dites à sous échantillonnage ([7],[8]) utilisant un convertisseur en régime de sous échantillonnage et une décimation numérique. Ce type d'architecture limite le nombre de composants RF et simplifie la conception d'un bloc de synthèse de fréquence avec une consommation réduite. Dans le cas de travaux présentés dans [7], si l'on considère l'architecture à sous échantillonnage en tension qui est détaillé ci-dessous dans la Figure 1-2 alors les spécifications propres au LNA pour la norme IEEE 802.15.4 sont largement relâchées en terme de bruit (NF) et de linéarité (IIP_3) (cf. Tableau 1-3 ci-après).

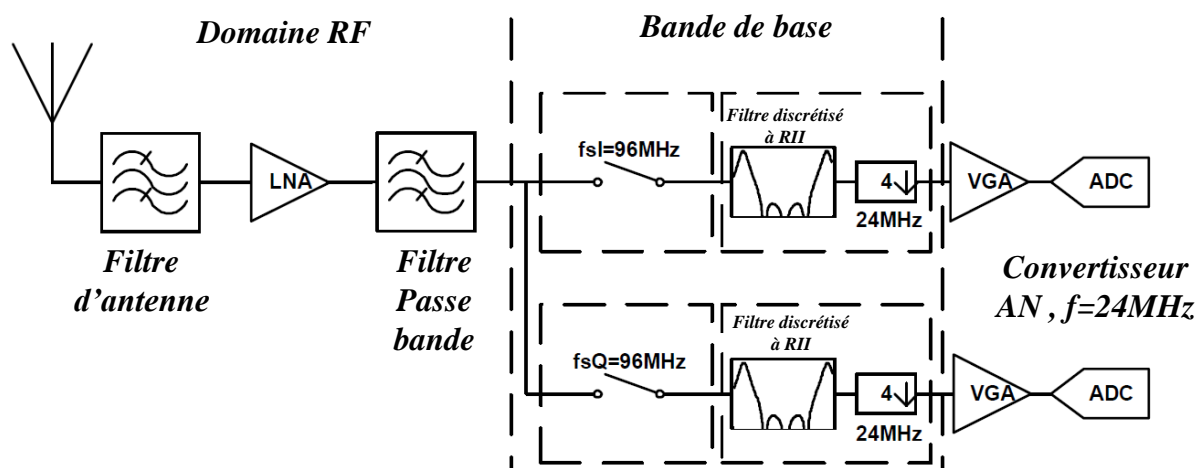


Figure 1-2. Architecture à sous échantillonnage en tension comprenant dans l'ordre : filtre d'antenne, LNA, filtre de bande, échantillonneur en tension, filtre discret à réponse impulsionnelle finie, décimation par 4, amplificateur de bande de base et convertisseur analogique numérique.

Tableau 1-3. Spécification du LNA pour la norme IEEE 802.15.4 avec l'architecture de la Figure 1-2

	LNA
Gain en tension (dB)	20.8
NF_{LNA} (dB)	10
IIP_{3-LNA} (dBm)	-28.6

Il s'agit cependant d'une architecture très particulière où des contraintes liées au repliement du bruit doivent être prises en compte pour garantir une bonne démodulation et une sensibilité globale suffisante. Le comportement en bruit hors bande du LNA peut par exemple impacter les spécifications optimales du tableau ci-dessus.

En définitive, le cadre offert par la norme IEEE 802.15.4 ainsi que les architectures radio adaptées à ce type de norme permettent d'envisager des récepteurs à très faible consommation électrique. L'implémentation d'un tel récepteur nécessite enfin l'optimisation de la consommation et de la surface des circuits RF de la chaîne pour minimiser le coût global du circuit.

1.3. Intérêts des structures sans inductances.

La motivation principale de la conception sans inductances réside dans le gain en surface espéré sur l'ensemble d'un système radio qui n'utiliserait pas d'inductances. Au fur et à mesure que les longueurs de grille des transistors CMOS diminuent [9], l'encombrement de la surface silicium dédiée aux parties digitales diminue également étant donné que ces dernières sont quasi exclusivement constituées de transistors MOS. En 2002, les auteurs de [10] prévoyaient déjà l'accroissement relatif important de la surface silicium occupée par les circuits analogiques au sein d'un système intégré SoC (*System On Chip* - terme qui fait référence à l'intégration conjointe de circuits analogiques et digitaux sur une même puce). Ainsi, la surface dédiée à la circuiterie analogique deviendrait à terme de plus en plus couteuse. Cette affirmation est régulièrement reprise, comme par exemple dans [11], pour souligner les contraintes liées à la portabilité des SoC RF sur des nœuds technologiques avancés (Figure 1-3b).

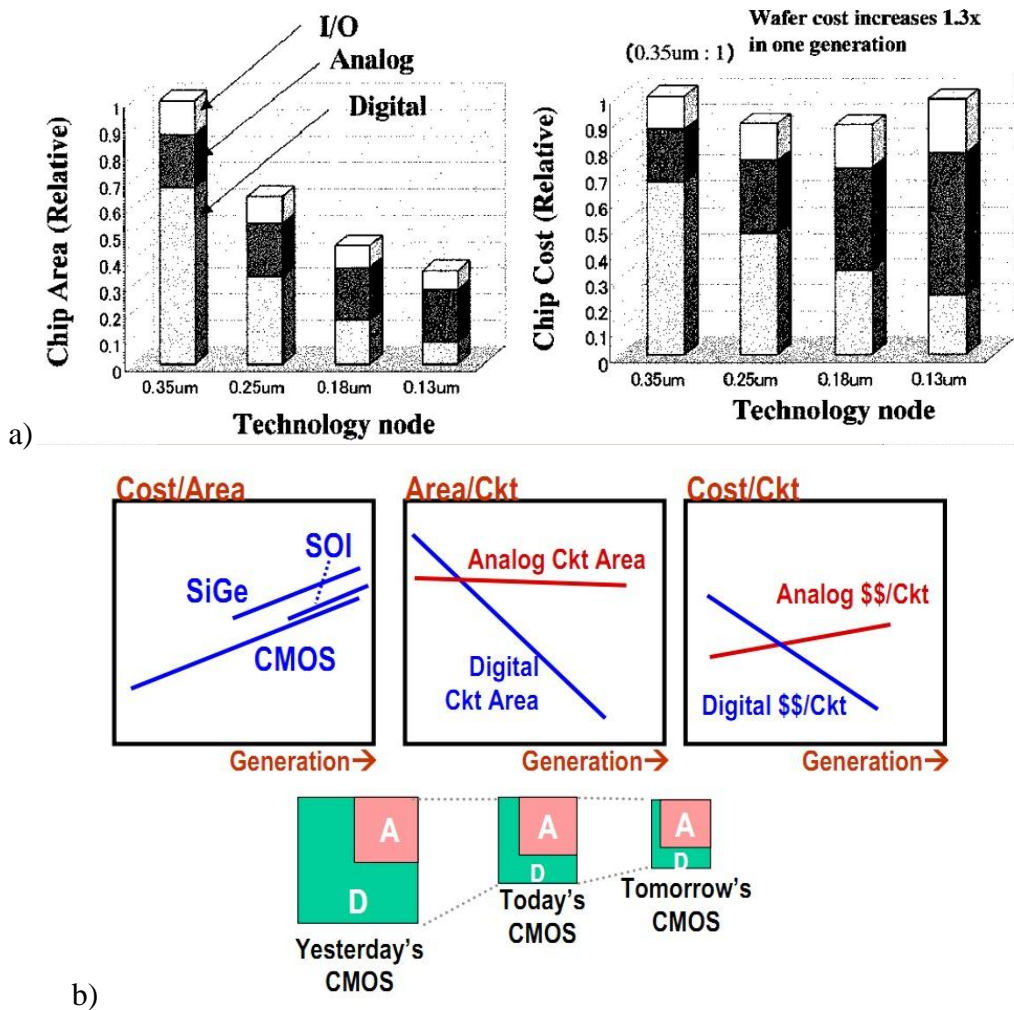


Figure 1-3. *Tendance évolutive du partitionnement analogique/numérique prédite par [10] (a) et représentation qualitative donné dans [11] (b)*

Compte tenu du coup du mm^2 des technologies à longueur de grille très fines, il apparaît nécessaire de diminuer l'impact surfacique des composants analogues RF.

Cette stratégie vise en premier lieu à limiter l'utilisation des inductances passives qui constituent la source la plus importante d'encombrement silicium dans les circuits RF. L'inductance utilisée dans le domaine radio ne peut en effet présenter de performances acceptables si l'on envisage la même réduction d'échelle que celle appliquée au transistor élémentaire d'une technologie.

Pour illustrer ce propos, la Figure 1-4 montre le gain en encombrement obtenu lorsque les inductances ne sont pas utilisées au sein d'un LNA. Le premier LNA de la Figure 1-4 [12] réalisé en technologie CMOS 90nm présente un encombrement réduit d'un facteur 80 par rapport au second LNA [13] réalisé en technologie CMOS 130nm et qui utilise plusieurs inductances. Dans le second cas, on relèvera que le bon fonctionnement des inductances requiert un espace supplémentaire autour de ces dernières afin d'éviter tout couplage de flux parasite qui nuirait au fonctionnement du LNA. Les inductances doivent de plus être suffisamment distantes les unes des autres pour les mêmes raisons, ce qui augmente une nouvelle fois la surface silicium requise.

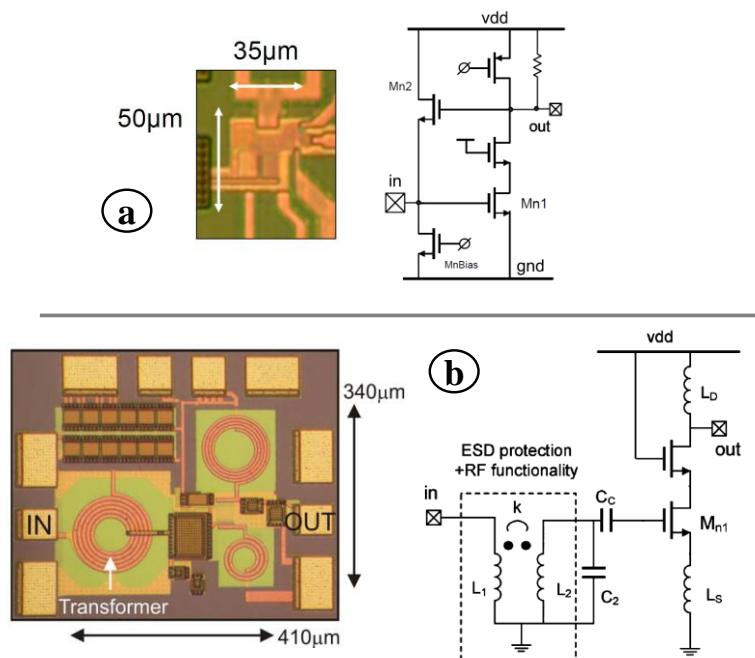


Figure 1-4. Réalisations de LNA a) sans inductance en technologie CMOS 90nm.
b) avec inductances en technologie CMOS 130nm

Le Tableau 1-4 compare les performances de ces deux LNA. Outre la différence importante en surface, l'absence d'inductance aboutit à une consommation notablement plus élevée tout en conservant un facteur de bruit identique de 2,5dB.

Tableau 1-4. Comparaison des performances des LNA de la Figure 1-4.

LNA	G_v (dB)	NF (dB)	IIP ₃ (dBm)	P_{DC} (mW)	BW (GHz)	A [mm ²]	ESD [kV]
Figure 1-4 – a. Ref. [12]	16,5	2,5	-4,3	9,7	6,5	0.0017	2.5
Figure 1-4 – b. Ref. [13]	12,4	2,5	-9	6,6	5,5	0,140	6

La conception sans inductances permet donc potentiellement de réduire de plusieurs ordres de grandeur l'occupation surfacique d'un LNA, elle représente donc un objectif important dans la réduction du cout surfacique des blocs analogues RF.

1.4. Conclusion et introduction aux travaux de la thèse

Nous avons présenté le cadre technologie des travaux de cette thèse. La norme 802.15.4 permet d'envisager des architectures de circuits RF plus enclin à avoir une consommation réduite. Le type d'application envisagé (réseau de capteurs étendus) souligne également une contrainte de coût qui augment l'intérêt pour la conception sans inductance.

Les travaux présentés dans ce mémoire s'attachent à proposer des solutions afin de répondre à ces critères de norme et de coûts. Nous nous sommes intéressés au cas des amplificateurs faible bruit (*Low Noise Amplifier – LNA*) et à la possibilité de réaliser ce composant critique pour le lien RF sans utiliser d'inductance intégrées, et en considérant toujours le caractère crucial de la faible consommation électrique. Nous avons étudié plusieurs solutions potentiellement innovantes afin de répondre à cet objectif. Ces travaux nous ont conduit à la réalisation de plusieurs prototypes de circuits qui permettent de comprendre les limites et les avantages d'une telle approche.

Le chapitre II présentera une première approche consistant à émuler une inductance à l'aide de composants actifs et ainsi à résoudre le problème de l'encombrement. Nous verrons en quoi cette approche peut présenter des limites pratiques pour une application radio.

Le chapitre III présentera quant à lui la réalisation d'un LNA très basse consommation et large bande qui n'utilise pas d'inductance et présentant des performances très intéressantes en terme de bruit et de linéarité. Nous concluons ensuite par les perspectives ouvertes suite à ces travaux et les autres approches possibles pour répondre aux contraintes de la basse consommation et aux exigences de faible coût.

Chapitre 2. Conception d'une Inductance Active Différentielle (DAI) dédiée à l'amplification faible bruit 18

PARTIE 1. CONTEXTE D'APPLICATION & ETAT DE L'ART DES INDUCTANCES ACTIVES INTEGREES..... 18

1.1. Caractéristiques d'une inductance passive intégrée.....18

1.1.1. Effet des pertes de l'inductance sur les paramètres du réseau21

1.2. Etat de l'art des inductances actives (IA)22

1.2.1. Principe du gyrateur..... 22

1.2.2. IA simple MOS. 23

1.2.3. Réalisation pratique d'une IA 23

1.2.4. Etat de l'art concernant la réalisation d'inductance actives 24

1.2.4.a. IA Cascodée..... 24

1.2.4.b. IA à haut facteur de qualité en RF..... 25

1.2.4.c. IA avec impédance de dégénération..... 27

1.2.4.d. IA Différentielle (DAI) 29

1.2.5. Amélioration des performances des IA..... 31

1.2.5.a. Technique de linéarisation par boucle de contre-réaction..... 31

1.2.5.b. Technique d'annulation du bruit 33

1.3. Amplificateur basée sur l'utilisation d'une Inductance Active35

1.3.1. Impact de la DAI sur les performances d'un LNA..... 36

1.3.2. Limites des travaux réalisés dans le cadre de la thèse..... 37

PARTIE 2. CONCEPTION ET REALISATION D'UNE DAI EN TECHNOLOGIE CMOS 65NM 38

2.1. Conception d'une inductance active en technologie CMOS 65nm.....38

2.1.1. Rappel de la structure DAI..... 38

2.1.2. Spécification des performances 39

2.1.3. Dimensionnement de la DAI 39

2.1.4. Simulation et Mesure de la DAI en limite de stabilité..... 41

2.1.5. Simulation et mesure de la DAI en mode dégradé 45

2.1.6. Conclusion sur la fonctionnalité petit signal de l'inductance..... 48

2.1.7. Sensibilité de la DAI aux variations technologiques 48

2.2. Fonctionnement de la DAI en grand signal55

2.2.1. Point de compression d'une charge..... 55

2.2.2. Mécanismes de compression de la DAI..... 55

2.2.3. Simulation et mesure de l'impédance de la DAI en large signal 58

2.2.4. Effet du réglage de la résistance différentielle du MOS M_3 59

2.2.1. Techniques de linéarisation de la DAI..... 62

2.2.1.a.	Origine de la distorsion – Modélisation simplifiée	62
2.2.1.b.	Contrôle de la contre réaction positive	64
2.3.	Conclusion sur la conception d'une DAI	73

Chapitre 2. Conception d'une Inductance Active Différentielle (DAI) dédiée à l'amplification faible bruit

Partie 1. Contexte d'application & Etat de l'art des inductances actives intégrées

Dans cette partie nous présentons le principe de fonctionnement des inductances actives. Nous commençons par un bref rappel sur les inductances passives pour citer les avantages et les inconvénients qui leur sont propre et les compromis qui en découlent.

1.1. Caractéristiques d'une inductance passive intégrée

L'inductance passive intégrée est réalisée au moyen d'un enroulement métallique faisant intervenir les interconnexions métalliques disponibles dans la technologie. On illustre ci-dessous la réalisation d'une inductance passive dans la technologie CMOS 65nm qui a été utilisée au cours des travaux présentés dans ce mémoire. On utilise préférentiellement les métaux supérieurs épais de l'empilement technologique CMOS, moins résistifs que les métaux inférieurs afin de minimiser les pertes des inductances [6],[14]. Le dessin d'inductances de 3 valeurs différentes dans cette technologie est illustrée ci-après en Figure 2-1.

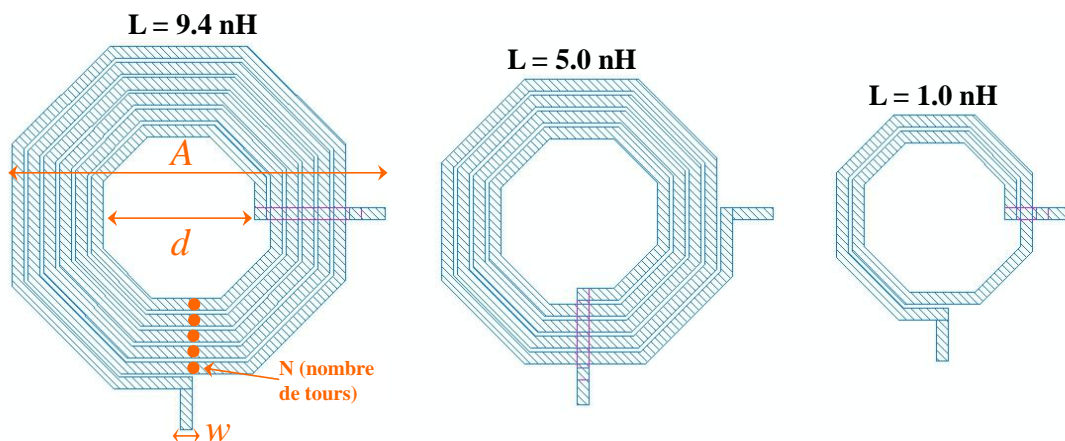


Figure 2-1. Encombrement d'inductances passives en technologie CMOS 65nm.

Tableau 2-1. Caractéristiques des inductances de la Figure 2-1

PARAMETRE	$L = 9.4nH$	$L = 5.0nH$	$L = 1.0nH$
N (nombre de tours)	5,75	4,25	1,75
w(μm)	11	11	11
d(μm)	140	137	130
A(μm)	372	332	245
f_{RES} (GHz)	4,1	6,64	25,2
Q_{MAX} (U.A)	14,3	13,8	31
$L@Q=Q_{max}$ (nH)	11,0	6,0	1,15
$f@Q=Q_{max}$ (GHz)	1,58	2,78	8,99
$R_p@Q=Q_{max}$ (k Ω)	2,6	1,47	2,02

Le Tableau 2-1 résume les performances électriques des inductances passives. Si la valeur d'inductance que l'on souhaite réaliser est élevée, l'encombrement surfacique (A) et le nombre de tours (N) augmentent. La résistance parasite cumulée sur l'ensemble des enroulement définit les pertes de l'inductance que l'on modélise au travers du facteur de qualité Q (c.f § 1.1.1 et 1(2-3) en supra). Les parasites associés à l'inductance passive limitent sa fréquence d'auto-résonance (f_{RES}), et par conséquent la fréquence maximale d'utilisation de l'inductance. En deçà de cette fréquence, le facteur de qualité passe par un maximum (Q_{MAX}). La partie réelle de l'impédance parallèle à la résonance (R_p) est d'autant plus grande que le facteur de qualité maximal Q_{MAX} est élevé. Pour que le couple (f_{RES}, Q_{MAX}) soit élevé, l'utilisation de diamètres d'inductances (A) et des largeurs de pistes (w) élevées est indispensable. C'est pour cette raison que les inductances passives intégrées occupent une surface silicium de l'ordre de $0,1mm^2$ [15] qui ne tire aucun avantage de la réduction des nœuds technologiques. Les transistors CMOS intégrés sur silicium occupent quant à eux une surface toujours plus petite dont l'ordre de grandeur se situe autour de $0,001mm^2$.

Cette contrainte d'encombrement est le principal frein à l'utilisation d'inductances passives puisque le prix d'un circuit intégré est fortement lié à sa surface. Les inductances présentent néanmoins plusieurs avantages recherchés dans le domaine de la conception radio pour réaliser des réseaux d'adaptation (LC) pour les applications en bandes étroites [15]. En effet, elles sont très linéaires et plus robustes que les systèmes actifs aux variations technologiques. Le modèle électrique simplifié d'une inductance se représente en général à l'aide d'un réseau discret RLC . Il s'agit d'un modèle plus facilement utilisable que les modèles physiques [14]. Dans le cas des amplificateurs utilisant des inductances en tant que charge, le modèle RLC parallèle, tel qu'illustré en Figure 2-2 ci-dessous est utilisé. La capacité parallèle

C modélise à la fois la capacité parasite (limitant la fréquence la fréquence d'utilisation à une fréquence $f < f_{RES}$) ainsi que la capacité ajoutée pour régler la fréquence de résonance du réseau LC . Enfin la résistance R représente les pertes dans l'inductance et limite son coefficient de qualité du réseau Q_p .

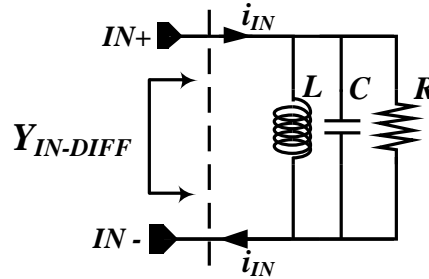


Figure 2-2. Réseau RLC parallèle excité en mode différentiel.

On définit la tension aux bornes du réseau avec la convention suivante : $v_{IN+} = +v_{in}$, & $v_{IN-} = -v_{in}$, avec i_{IN} le courant différentiel. On obtient alors les expressions de l'admittance différentielle $Y_{IN-DIFF}$, de la fréquence de résonance f_{RES} associée ainsi que du facteur de qualité Q_p à la résonance:

$$Y_{IN-DIFF} = \frac{i_{IN}}{2v_{IN}} = \frac{1}{2L \cdot p} + \frac{C}{2} \cdot p + \frac{1}{2R} \quad (2-1)$$

$$f_{RES} = \frac{1}{\sqrt{LC}} \quad (2-2)$$

$$Q_p = \frac{R}{L\omega_{res}} \quad (2-3)$$

Cette convention différentielle engendre la présence d'un facteur $\frac{1}{2}$ dans l'équation (2-1). Ceci est cohérent vis-à-vis des mesures d'impédances en mode différentiel qui seront effectuées à l'aide d'un analyseur de réseau dont l'impédance de référence différentielle sera fixée à 100Ω . Ce facteur $\frac{1}{2}$ disparaît si l'on prend comme convention : $v_{IN+} = +\frac{v_{in}}{2}$, & $v_{IN-} = -\frac{v_{in}}{2}$. L'expression de la fréquence de résonance et du facteur de qualité sont identiques selon l'une ou l'autre de ces conventions. Nous garderons la convention de (2-1) dans le reste du chapitre.

1.1.1. Effet des pertes de l'inductance sur les paramètres du réseau

Une modélisation localisée des pertes dans une inductance (passive ou active) fait intervenir à la fois une conductance parallèle G_1 et une résistance série $1/G_2$ (Figure 2-3). Dans le cas des inductances actives, nous verrons que le calcul théorique au premier ordre de l'impédance aboutit en règle générale à un modèle à pertes 'mixtes' présentant des pertes dites 'séries' et 'parallèles' localisées en deux endroits distincts du réseau :

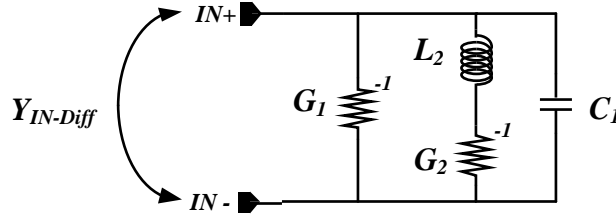


Figure 2-3. *Modèle à pertes mixtes d'une inductance où les conductances G_1 et G_2 modélisent respectivement les pertes parallèles et séries du réseau.*

Les éléments du réseau équivalent parallèle RLC notés $L_{//}$, $G_{//}$ et le facteur de qualité $Q_{//}$ sont déduit du réseau ci-dessus :

$$L_{//} = \left[1 + \left(\frac{\omega_A}{\omega} \right)^2 \right] L_2 \quad (2-4)$$

$$G_{//} = \frac{1}{R_{//}} = G_1 + \frac{G_2}{\left(1 + \left(\frac{\omega}{\omega_A} \right)^2 \right)} \quad (2-5)$$

$$\frac{1}{Q_{//}} = \omega_{res} \cdot L_2 \left(1 + \left(\frac{\omega_A}{\omega_{res}} \right)^2 \right) \left(G_1 + \frac{G_2}{\left(1 + \left(\frac{\omega_{res}}{\omega_A} \right)^2 \right)} \right) \quad (2-6)$$

Avec la définition suivante pour la pulsation caractéristique ω_a :

$$\omega_A = 2\pi \cdot f_A = \frac{1}{G_2 L_2} = \frac{R_2}{L_2} \quad (2-7)$$

L'inductance parallèle de $Y_{in-Diff}$ présente une singularité en $\omega = 0$ étant donné le court circuit propre à l'inductance pour $\omega = 0$, ce qui aboutit à une admittance infinie. L'expression de l'inductance en tant que réactance série (i.e comme partie imaginaire de $Z_{in-Diff}$) permet de s'affranchir de cette singularité, on a alors la relation suivante (avec $R_2 = G_2^{-1}$ et $R_1 = G_1^{-1}$) :

$$L_S(\omega \rightarrow 0) = \left(\frac{R_1}{R_1 + R_2} \right)^2 L_2 \quad (2-8)$$

Ce qui implique qu'avec une valeur de R_2 non nulle mais négligeable devant R_1 , L_S sera sensiblement égale à L_2 en basse fréquence là où la valeur théorique de $L_{//}$ tend vers l'infini. On privilégiera donc la paramètres Z en mesure pour estimer la valeur de L_2 . Ces formules sont utiles pour simplifier l'analyse des impédances qui présentent le modèle de la Figure 2-3.

1.2. Etat de l'art des inductances actives (IA)

1.2.1. Principe du gyrateur.

Les circuits de type inductance active (I.A) reposent sur le principe du gyrateur. Le principe de ce circuit qui consiste à simuler une inductance à partir d'une capacité, a été historiquement proposé en 1949 par Henry Tellegen [16], il est illustré en Figure 2-4. Le circuit utilise principalement des transconductances idéales et une capacité.

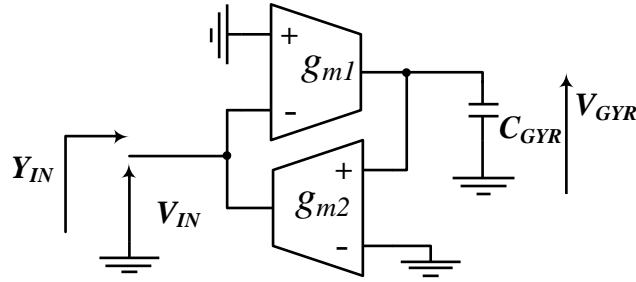


Figure 2-4. Gyrateur de Tellegen

L'admittance d'entrée associée à ce circuit est définie comme suit :

$$Y_{IN}(p) = \frac{1}{L_{GYR} \cdot p}, L_{GYR} = \frac{C_{GYR}}{g_{m1}g_{m2}} \quad (2-9)$$

La capacité C_{GYR} utilisée pour obtenir la partie inductive de l'impédance est beaucoup plus compacte qu'une inductance spirale. Les transconductances qui sont, quant à elles réalisées en transistor MOS, dissipent un courant statique qui définira la consommation de l'inductance active. Pour obtenir une inductance de valeur faible la consommation statique sera accrue en raison des valeurs de transconductance élevées (2-9). Si l'on souhaite réduire la capacité C_{GYR} à une valeur minimale, on devient sensible aux parasites capacitifs et aux variations technologiques associés à C_{GYR} . Il s'agit là des principaux compromis propre à ce type de circuit.

1.2.2. *IA simple MOS.*

Le circuit de la Figure 2-5 représente un circuit IA élémentaire utilisant un simple transistor MOS. En considérant une valeur finie pour la capacité parasite C_{GS} du MOS M_1 l'impédance Z_{IN} est donnée par l'équation (2-10).

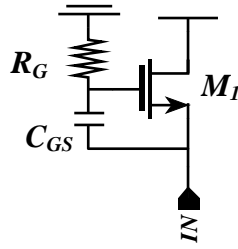


Figure 2-5. *IA élémentaire à partir d'un transistor MOS.*

$$Z_{IN} = \frac{1 + R_G C_{GS} p}{g_{m1} + C_{GS} p} \quad (2-10)$$

$$L_{GYR} = \frac{R_G C_{GS}}{g_{m1}} \quad (2-11)$$

Dans un domaine de fréquence situé entre le zéro associé à la pulsation $\omega_{ZGYR} = 1/(R_G \cdot C_{GS})$ et le pôle $\omega_{PGYR} = g_{m1}/C_{GS}$, le circuit présente une inductance équivalente L_{GYR} . C'est cet effet qui est par exemple responsable de l'impédance inductive d'un montage de type suiveur de tension, encore appelé drain commun [6].

1.2.3. *Réalisation pratique d'une IA.*

Bien que le montage précédent puisse être utilisé, il est préférable de contrôler de façon plus précise les éléments qui constituent une inductance active. L'implémentation la plus courante du circuit de Tellegen, à l'aide de transconductances MOS réelles, est illustrée sur la Figure 2-6 ([17], [18]).

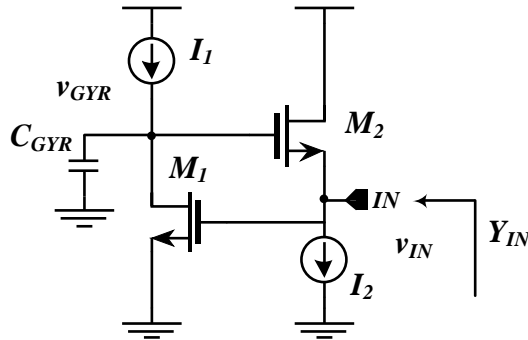


Figure 2-6. *Implémentation du gyrateur de Tellegen à l'aide de deux transconducteurs MOS.*

En hautes fréquences pour lesquelles l'admittance $C_{GYR} \cdot p$ est élevée par rapport à l'admittance g_{DS1} du MOS M_1 , l'admittance Y_{IN} est déterminée par la relation (2-12)

$$Y_{IN} = \frac{i_{IN}}{v_{IN}} = g_{m2} + \frac{g_{m1}g_{m2}}{C_{GYR}p} = \frac{1}{R_p} + \frac{1}{L_p p} \quad (2-12)$$

$$Q = \frac{R_p}{L_p \cdot \omega} = \frac{g_{m1}}{C_{GYR} \omega} \quad (2-13)$$

Le facteur de qualité Q est faible dû à la base impédance du terminal de source du MOS M_2 . Pour augmenter Q , lorsque la valeur de g_{m2} est finie, la transconductance g_{m1} du MOS M_1 doit être aussi élevée que possible. C_{GYR} peut aussi être diminuée (la valeur de l'inductance est alors réglée par g_{m2}). La diminution de C_{GYR} est limitée par les capacités parasites des MOS (ce qui limite donc le choix de sa valeur) [17]. L'augmentation de g_{m1} quant à elle amène à un compromis entre consommation et facteur de qualité.

1.2.4. *Etat de l'art concernant la réalisation d'inductance actives*

Plusieurs références issues de l'état de l'art présentent des réalisations d'inductances actives en technologie CMOS afin d'adresser des problématiques d'amplification (LNA) [19],[20] ou de filtrage [21], [22]. Un certain nombre de ces réalisations sont proches de l'implémentation simple de la Figure 2-6. Autour de cette structure s'ajoutent d'autres éléments dont le but est d'améliorer le compromis de performances. Nous détaillons les variantes les plus courantes ci-après.

1.2.4.a. *IA Cascodée*

Dans le cas de l'IA de la Figure 2-6, si l'on tient compte de la conductance finie g_{DS1} du MOS M_1 , on peut montrer qu'en basse fréquence l'admittance d'entrée devient réelle et est donnée par la relation (1-14) :

$$Y_{IN} = g_{m2} + \frac{g_{m1}g_{m2}}{C_{GYR} \cdot p + g_{DS1}} \xrightarrow{p \rightarrow 0} g_{m2} + \frac{g_{m1}g_{m2}}{g_{DS1}} \quad (2-14)$$

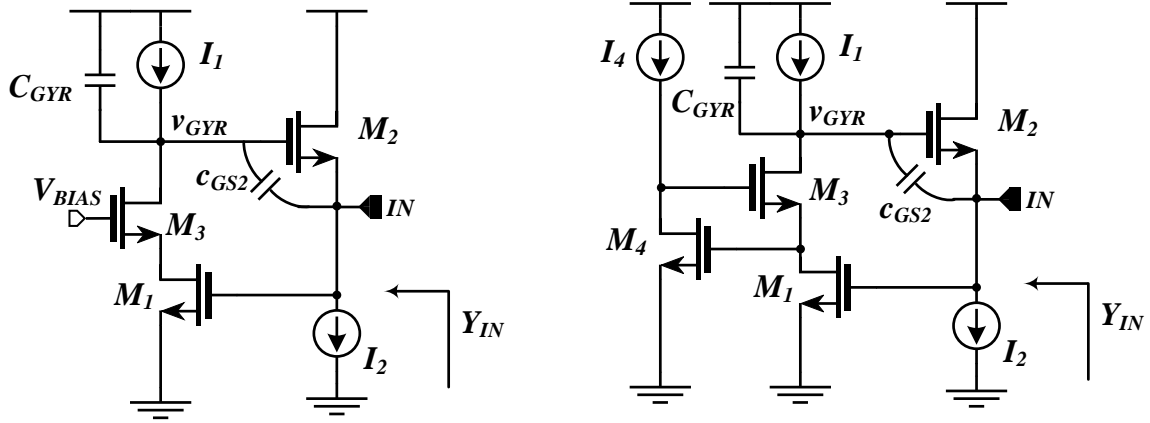


Figure 2-7. IA cascodé, a) cascode simple, à gauche - b) cascode régulé – à droite

Pour rejeter le zéro $\omega_{Z1} = g_{DS1}/C_{GYR}$ responsable de cet effet vers une fréquence très basse, on utilise le montage cascode de la Figure 2-7-a. La conductance M_1 au nœud V_{GYR} est alors réduite d'un facteur égal au gain intrinsèque du transistor cascode M_3 . Si des fréquences de fonctionnement encore plus faibles sont visées, et si l'on souhaite un contrôle indépendant de la polarisation de M_1 on peut utiliser un montage cascode régulé (Figure 2-7-b) faisant intervenir un amplificateur supplémentaire utilisant le MOS M_4 . En plus de l'augmentation de la consommation, cette solution génère une admittance très élevée au nœud V_{GYR} ce qui constituera une source importante de non linéarités.

1.2.4.b. IA à haut facteur de qualité en RF

Outre le facteur de qualité en basse fréquence, l'impédance réelle parallèle en haute fréquence doit être minimisée pour garantir un facteur de qualité élevé. L'équation (2-12) montre que dans le cas d'une IA simple à deux transistors MOS la partie résistive de l'impédance est fonction de la transconductance g_{m2} . Pour augmenter le facteur de qualité, il est alors courant d'utiliser un montage générant une résistance négative qui permet d'annuler cette partie résistive ([23], [24]). Dans le cas d'une structure différentielle, une simple résistance négative composée d'une paire croisée suffit (Figure 2-9). Dans le cas des circuits non-différentiels, on a généralement recours à un miroir de courant [25].

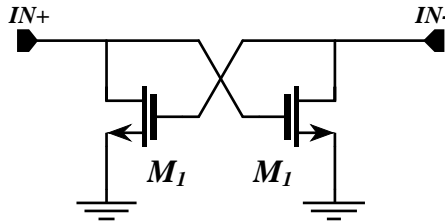


Figure 2-8. Résistance négative différentielle utilisée dans une IA différentielle.

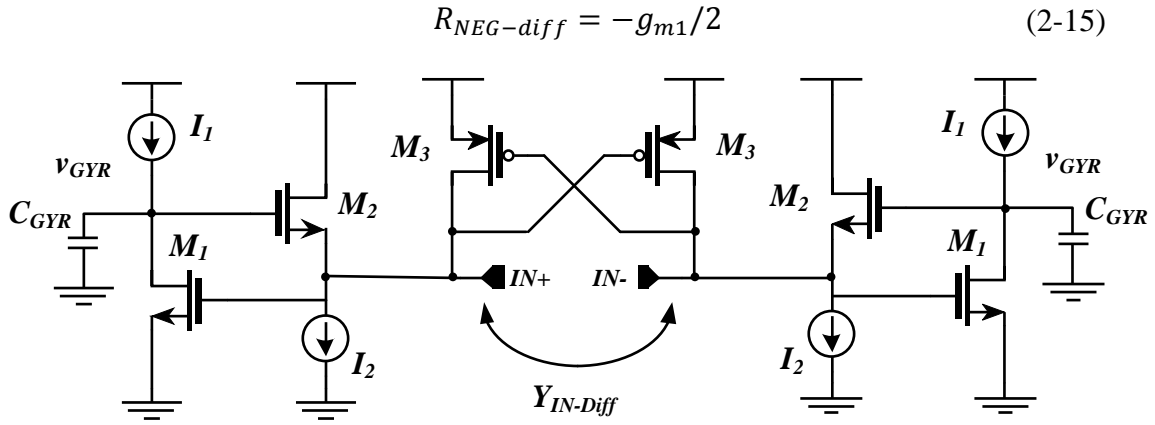


Figure 2-9. *IA différentielle avec résistance négative en entrée [26]*

Il est également possible de modifier la structure du circuit IA de la Figure 2-6 afin d'éviter qu'à l'entrée soit connecté un terminal d'impédance faible. Typiquement on évite que la source d'un transistor MOS (de transconductance g_m) soit reliée à l'entrée. C'est l'approche présentée dans [27] et [28] et montrée en Figure 2-10. La structure utilise un montage suiveur replié constitué des deux MOS M_1 et M_2 . On suppose $g_{m1} \cong g_{m2}$, $G_1 = g_{m1} + g_{m2} \cong 2g_{m1}$ et l'on néglige les conductances réelles au nœud v_{GYR} . On obtient alors l'expression simplifiée suivante pour Y_{IN} :

$$Y_{IN} \cong g_{DS3} + \frac{g_{m1}g_{m2}g_{m3}}{G_1C_3p} \quad (2-16)$$

$$L_{Eq} = \frac{G_1C_3}{g_{m1}g_{m2}g_{m3}} \cong \frac{2C_3}{g_{m1}g_{m3}} \quad (2-17)$$

$$G_{EQ} = g_{DS3}$$

Le facteur de qualité est donc au premier ordre bien plus élevé du fait d'une conductance équivalente en entrée bien plus faible. Cette structure consomme cependant plus de courant du fait d'une transconductance supplémentaire (M_1).

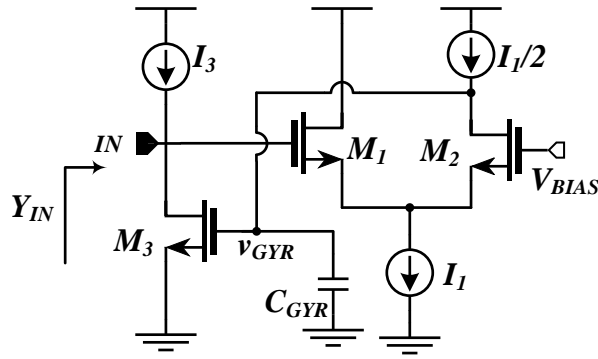


Figure 2-10. *Solution d'une IA à fort coefficient de qualité en HF sans résistance négative*

1.2.4.c. IA avec impédance de dégénération

Une autre technique présentée dans [18] et généralisée par [29] consiste à utiliser un effet gyrateur au nœud interne pour créer une partie résistive négative dans l'impédance simulée par l'IA [30], [29]. L'avantage de cette technique est d'éviter l'utilisation d'une résistance négative (Figure 2-9) ou d'une transconductance supplémentaire (Figure 2-10).

Le circuit IA utilise alors une résistance de 'dégénération' R_f placée au nœud interne du gyrateur (Figure 2-11). Cette résistance introduit une fréquence de coupure qui augmente l'inductance équivalente en réduisant les pertes parallèles en haute fréquence. Le facteur de qualité s'en trouve donc amélioré.

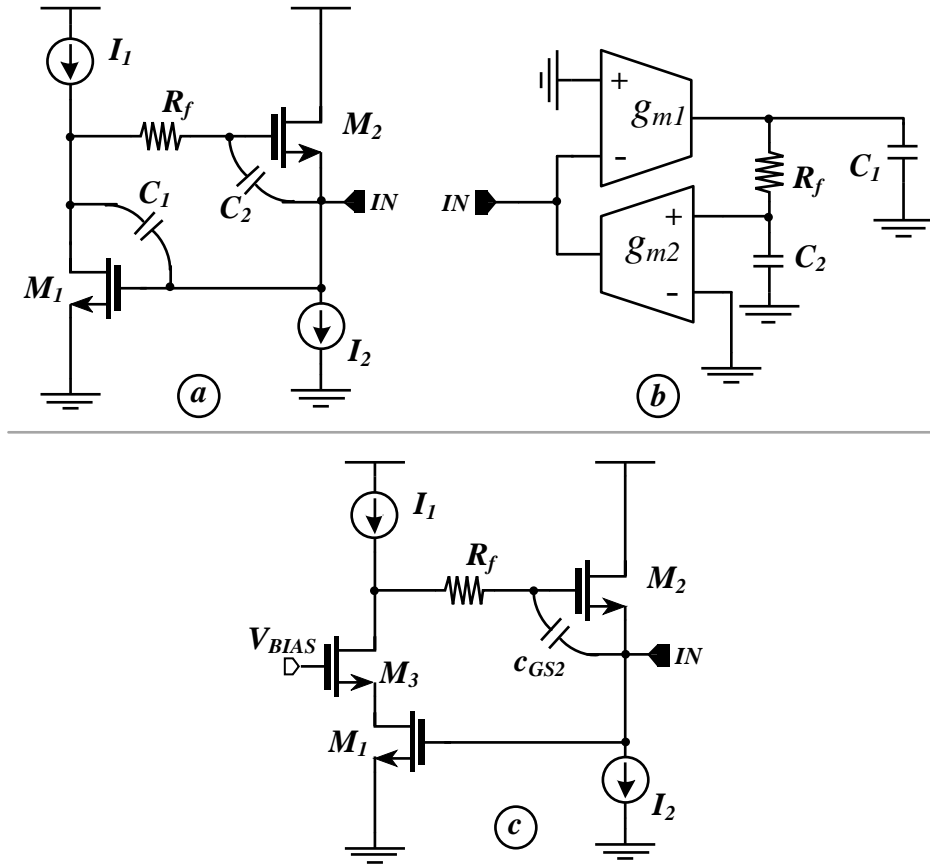


Figure 2-11. *IA avec dégénérescence. a) IA simple avec dégénérescence [29], b) Schéma de principe simplifié de a) et c) implémentation sur une IA cascodée.*

Les travaux de [29] détaillent l'expression générique d'une IA avec une résistance de contre réaction R_f dans le cas de transconductances idéalisées (Figure 2-11-b). En posant $C_p = C_1 + C_2$, $C_s = C_1 C_2 / (C_1 + C_2)$ et $\omega_H = (C_s R_f)^{-1}$ la pulsation de coupure introduite par la résistance R_f , on obtient :

$$Y_{IN} = G_{EQ} + \frac{1}{L_{EQ} \cdot p} \quad (2-18)$$

$$L_{EQ} = \frac{C_p}{g_{m1} g_{m2}} \left(1 + \left(\frac{\omega}{\omega_H} \right)^2 \right) \quad (2-19)$$

$$G_{EQ} = - \frac{g_{m1} g_{m2}}{\omega_H C_p \cdot \left(1 + \left(\frac{\omega}{\omega_H} \right)^2 \right)} \quad (2-20)$$

Le signe négatif dans la relation (2-20) provient du caractère idéal des transconductances (impédances d'entrée et de sortie infinies). Dans l'implémentation de la Figure 2-11-a, cette conductance négative se place en parallèle avec la résistance $1/g_{m2}$ représentant les pertes. En pratique, la fréquence de coupure caractéristique ω_H ainsi que les éléments L_{EQ} et G_{EQ} dépendent des transconductances du circuit et des parasites qui leur sont associés.

Dans [18] un circuit IA basé sur cette technique est proposé (Figure 2-11-c) l'amélioration du facteur de qualité obtenu est illustré en Figure 2-12. Les expressions de ω_H et de L_{EQ} correspondantes sont données ci-dessous :

$$\omega_H = \sqrt{\frac{g_{m1}g_{m2}}{c_{gs1}c_{gs2}(R_f g_{DS2} + 1)}} \quad (2-21)$$

$$L_{EQ} \cong \frac{c_{gs2}}{g_{m1}g_{m2}} \left[1 + \left(\frac{\omega}{\omega_H} \right) \right] \quad (2-22)$$

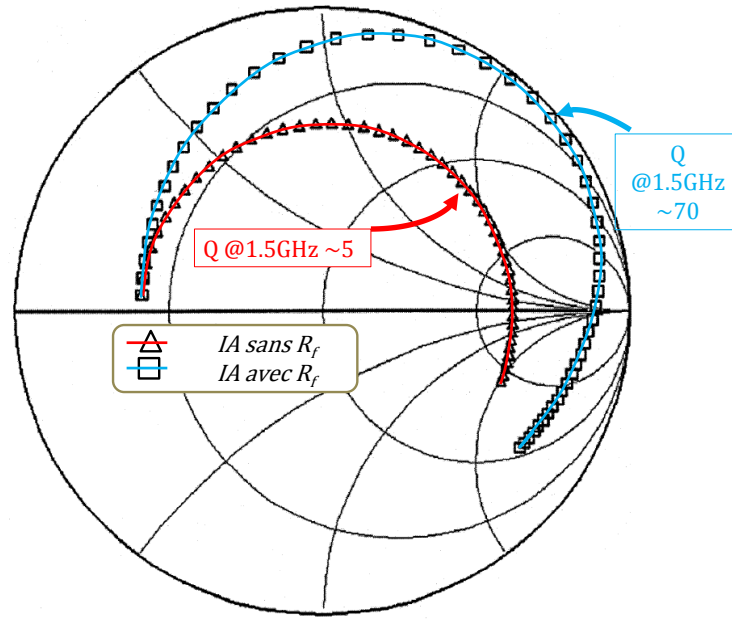


Figure 2-12. Comparaison de deux IA de consommation identiques : l'une avec résistance de contre réaction, l'autre sans[18]

La Figure 2-12 illustre la possibilité d'améliorer le facteur de qualité haute fréquence bien que l'utilisation de R_f ne modifie pas les pertes séries caractéristiques de l'impédance basse fréquence.

1.2.4.d. IA Différentielle (DAI)

Les circuits IA présentés précédemment (§ 1.2.4.a à 1.2.4.c), permettent seulement de générer une inductance de mode commun. Si l'on souhaite utiliser ces IA dans un circuit différentiel, il faudra alors doubler le circuit de base et la consommation électrique associée. Il faut de plus prévoir un courant supplémentaire pour alimenter un circuit générant une résistance négative (si cela s'avère nécessaire pour améliorer le coefficient de qualité Q de l'inductance). Il existe cependant quelques structures naturellement différentielles. Le circuit typique d'Inductance

Active Différentielle (DAI pour *Differential Active Inductor*) [24] est présenté sur la Figure 2-13 .

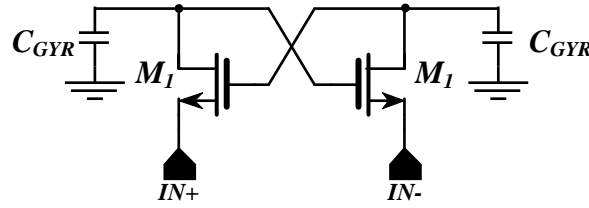


Figure 2-13. Gyrateur différentiel d'une DAI

Chaque NMOS M_1 joue simultanément le rôle des 2 transconductances du gyrateur de Tellegen (Figure 2-4). Pour une IA en mode différentiel, seulement 2 transconductances sont nécessaires au lieu de 4. Si l'on néglige dans un premier temps les capacités parasites associées aux MOS M_1 , L'impédance du gyrateur ci-dessus est donnée par l'expression (2-23)

$$Y_{IN-DIFF} = \frac{1}{2} \cdot \frac{I_{IN}}{V_{IN}} = \frac{1}{2} \left(g_{m1} + \frac{g_{m1}^2}{C_{GYR} \cdot p + g_{ds1} - g_{m1}} \right) \quad (2-23)$$

Où g_{m1} la transconductance associée à chaque MOS M_1 . Ceci correspond au modèle équivalent à pertes mixtes qui a été présenté précédemment (Figure 2-14).

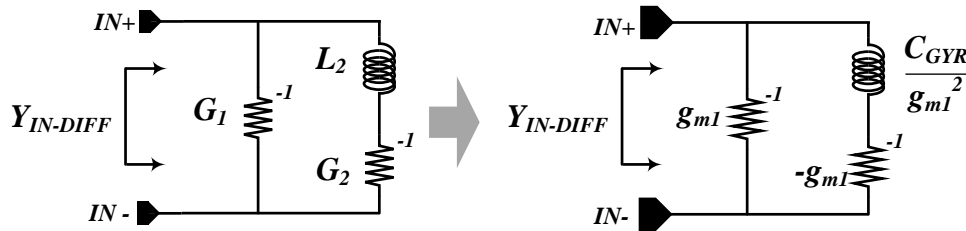


Figure 2-14. Modèle équivalent à pertes mixtes du gyrateur différentiel

Outre son fonctionnement naturellement différentiel, ce type de gyrateur présente plusieurs inconvénients. Tout d'abord, G_2 étant négative (puisque en saturation : $g_{DS1} \ll g_{m1}$), le circuit peut devenir instable en basse fréquence. D'autre part, le facteur de qualité est limité en raison de la valeur de G_1 qui est potentiellement élevée pour des valeurs d'inductance active faibles (1-21).

Pour améliorer la stabilité en basse fréquence il suffit d'ajouter une conductance réelle ($g_3 = 1/R_3$) en parallèle avec la capacité C_{GYR} (Figure 2-15) tel que G_2 devienne positif. Enfin l'ajout d'une résistance négative (paire croisée M_2 sur la Figure 2-15) permet de minimiser la valeur de G_1 et d'augmenter le facteur de qualité de l'inductance. La nouvelle impédance d'entrée est donnée par l'équation suivante :

$$Y_{IN-DIFF} = \frac{1}{2} \cdot \frac{I_{IN}}{V_{IN}} = \frac{1}{2} \left((g_L + g_{m1} - g_{m2}) + \frac{g_{m1}^2}{C_{GYR} \cdot p + (2g_3 + g_{ds1} - g_{m1})} \right) \quad (2-24)$$

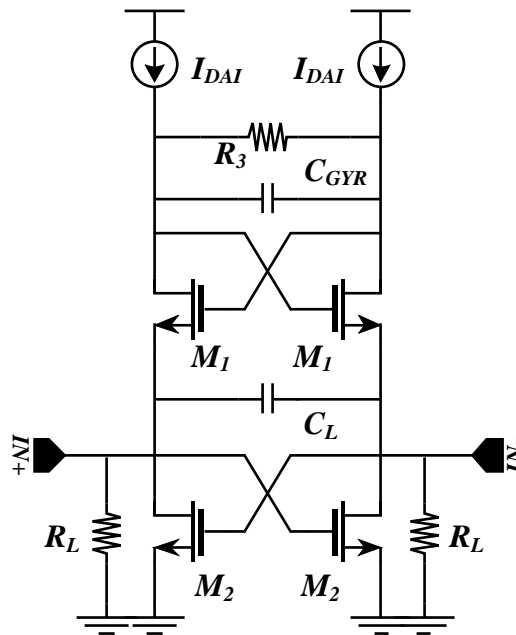


Figure 2-15. Schéma d'une DAI

Cette configuration (utilisant la technique de réutilisation en courant ou *current re-use*) permet d'obtenir une inductance active différentielle, quasi idéale, avec un facteur de qualité réglable pour une consommation électrique potentiellement faible puisque limitée à celle des transconductances de gyrateur.

1.2.5. Amélioration des performances des IA

Les limites en termes de linéarité et de bruit des IA sont connues [30],[30] et ont été étudiées dans plusieurs travaux, parmi lesquels on trouve les solutions innovantes brièvement présentées ci-après.

1.2.5.a. Technique de linéarisation par boucle de contre-réaction.

Le montage idéal d'une IA à deux transconductances MOS (Figure 2-6 - rappelée ci-dessous) suppose une impédance au nœud interne v_{GYR} purement capacitive. Ceci indique donc un gain en tension très élevé en basse fréquence à ce nœud. L'amplitude du signal à ce nœud qui contrôle alors la seconde transconductance (M_2) devient très élevée ; ceci constitue l'origine de la non-linéarité des IA.

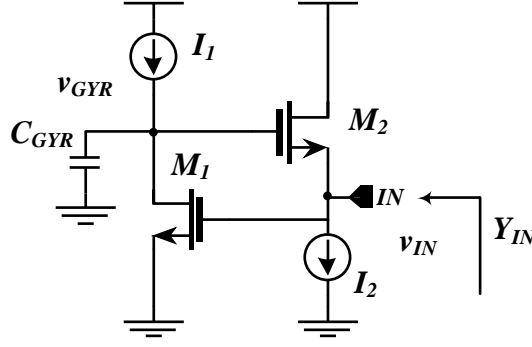


Figure 2-16. *IA idéale à 2 MOS avec une impédance purement capacitive au nœud interne.*

Les travaux de [31] proposent une linéarisation des IA en compensant à l'aide d'une boucle la distorsion DC. Le courant i_{DS} généré par un MOS piloté par une tension grille-source $v_{GS}(t)$ en grand signal de la forme $v_{gs}(t) = A \cdot \cos(\omega t)$ lequel est polarisé à courant constant, présente une non-linéarité finie donné par les relations(2-25) et (2-26) [32] :

$$i_{DS}(V_{GS} + v_{gs}(t)) = I_{DS} + g_m v_{gs}(t) + k_2 v_{gs}(t)^2 + \dots + k_n v_{gs}(t)^n \quad (2-25)$$

$$i_{DS}(V_{GS} + v_{gs}(t)) \cong \left(I_{DS} + \underbrace{\frac{k_2 A^2}{2}}_{= I_{EX}} \right) + \left(g_m + \frac{3k_3 A^2}{4} \right) A \cdot \cos(\omega t) \quad (2-26)$$

La relation (2-25) montre qu'en présence d'une large excursion de $v_{gs}(t)$ la polarisation statique du transistor est modifiée (distorsion par auto-polarisation). La conséquence finale de cette modification est une diminution de la valeur de la transconductance g_m , ce qui entraînera nécessairement une diminution de l'admittance présentée par l'IA ((2-12),(2-27))

$$g_{m-large-signal} \cong \sqrt{2\beta_1 \cdot (I_{DS} - I_{EX})} + \frac{3k_3 A^2}{4} \quad (2-27)$$

La solution proposée par les auteurs dans [31] utilise une boucle permettant de maintenir constante les conditions de polarisation DC de la transconductance du MOS M_2 en annulant le courant I_{EX} dans ce transistor. Sur le schéma ci-dessous, l'IA linéarisée est constituée des MOS M_1 à M_5 et de la résistance R_f . Le montage constitué des MOS M_{41} à M_{47} permet d'annuler le courant I_{EX} en adaptant la commande du MOS M_4 en fonction de l'amplitude du signal de grille de M_2 au travers les miroirs de courant (M_{43}, M_{42}) et (M_{41}, M_4).

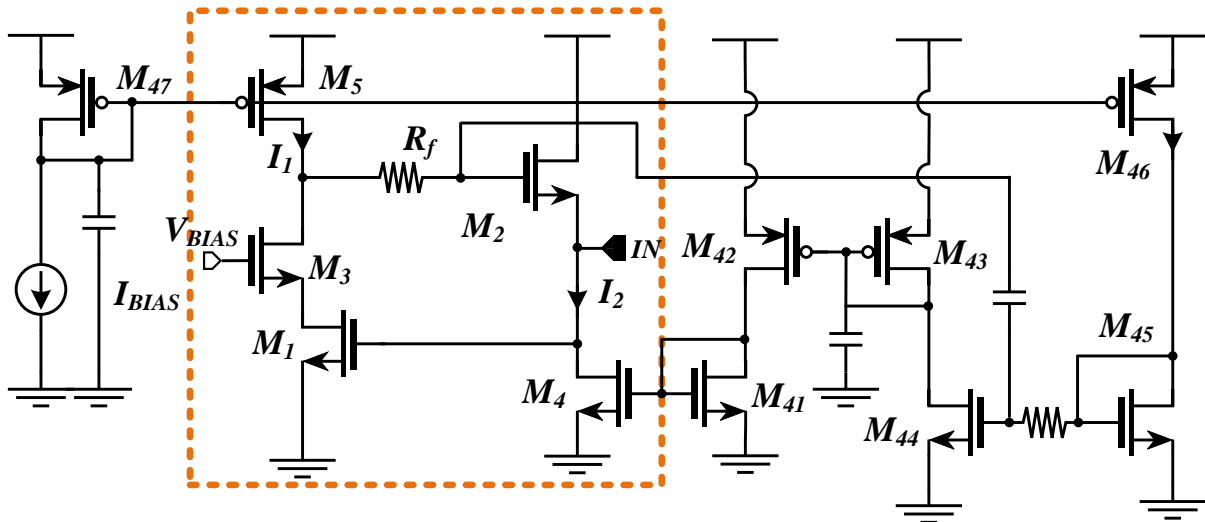


Figure 2-17. *IA avec boucle de compensation de la distorsion DC.*

A l'aide de cette technique, les auteurs obtiennent une amélioration du point de compression de l'inductance à -1dB (L_{-1dB}) de 5dB. La boucle de polarisation augmente cependant la consommation de façon importante ainsi que la surface. La complexité du montage est également un inconvénient.

Tableau 2-2. *Performances de l'IA avec et sans boucle de compensation*

	Taille du circuit	I_{M1}	f_{QMAX}	L_{-1dB}	Consommation totale
Sans compensation	1540 μm^2	1mA	3.75GHz	-27.9dBV	7.4mW
Avec compensation	9200 μm^2	1mA	2.75GHz	-23dBV	11.9mW à 12.9mW

1.2.5.b. Technique d'annulation du bruit

Plus récemment [28] a proposé une technique d'annulation de bruit dans une IA. Les auteurs de ces travaux identifient le contributeur dominant comme étant la transconductance d'entrée qui pilote en courant la capacité du gyrateur (Figure 2-18). Ils utilisent un circuit d'IA à haut facteur de qualité qui utilise un suiveur de tension replié en entrée (nous avons mentionné ce circuit précédemment en 1.2.4.b page 27). Il est alors possible le terminal de source de M_1 pour implémenter via le transistor M_4 un amplificateur auxiliaire dédié à l'annulation du bruit de M_2 [33].

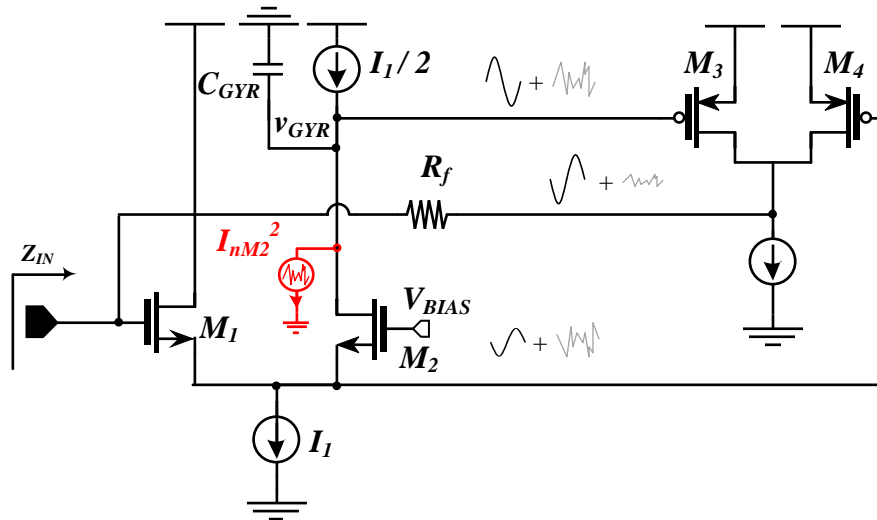


Figure 2-18. *IA à annulation de bruit présenté par [28]*

Il s'agit là de la réalisation la plus aboutie d'IA qui adresse la problématique de bruit. Les auteurs présentent finalement un dimensionnement de LNA différentiel utilisant cette IA dont les performances sont résumées dans le tableau suivant :

Tableau 2-3. *Performances simulés du LNA filtrant de [28].*

TECH. CMOS	FREQUENCE CENTRALE	Q	P _{DC}	NF	PT. DE COMPRESSION	IIP ₃
90 nm	3.46 GHz	405 (3.8GHz)	1.4 mW	5 dB	-22 dBm	-10.29 dBm

Le facteur de qualité obtenu est démonstratif mais probablement trop élevée étant donné la faible bande passante à -3dB qui en résulte (8.5MHz). Ces travaux intéressants ont été publiés en 2010 après la phase de conception du circuit qui est présenté dans ce chapitre. Il n'a malheureusement pas été possible de tenir compte des perspectives ouvertes par ces résultats.

L'état de l'art présenté dans ce paragraphe mentionne les réalisations les plus pertinentes ou les plus classiques qui nous ont orientées dans la recherche d'une solution innovante dédiée à l'amplification sans inductance passive. Nous abordons à présent les objectifs poursuivis au travers de l'étude des IA.

1.3. Amplificateur basée sur l'utilisation d'une Inductance Active

Cette partie introduit les travaux qui ont été menés en début de thèse autour d'une inductance active différentielle (DAI, §1.2.4.d) comme composant d'un LNA basse consommation. Le circuit DAI utilisé est celui qui présente la plus faible consommation dans l'état de l'art du paragraphe 1.2. On envisage plus précisément d'utiliser ce circuit uniquement comme charge de sortie d'un LNA différentiel. Ce choix est lié aux travaux qui montrent les performances en bruit médiocres des IA [29],[30]. En effet, mis à part la technique assez récente du paragraphe 1.2.5.b, aucune solution connue ne permet de réduire notablement le bruit d'une IA. Il n'était donc pas réaliste d'inclure ce type de circuit en entrée du LNA pour effectuer une adaptation en puissance.

La DAI couplée à un étage d'amplification à transconductance permet de réaliser un LNA fonctionnant en bande étroite sans inductance passive. Ce type d'application est illustrée sur la Figure 2-19.

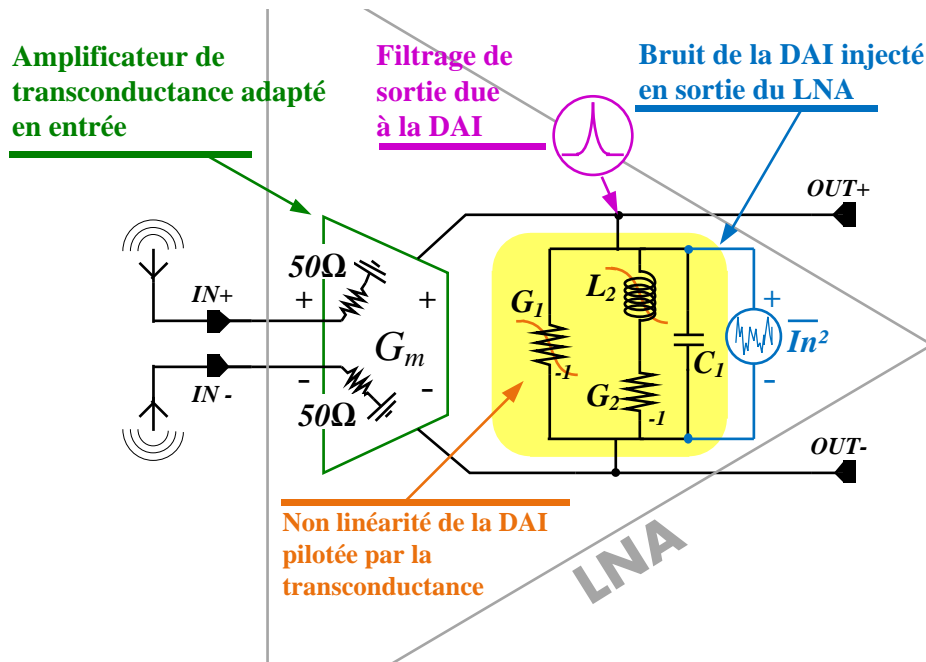


Figure 2-19. Utilisation envisagée de la DAI conjointement à un amplificateur de transconductance adapté en entrée pour constituer un LNA.

Dans ce schéma, la conversion courant tension est effectuée en sortie de la transconductance et au travers de la DAI pour profiter du filtrage de cette dernière. Les caractéristiques de la tension de sortie du LNA sont alors liées aux imperfections de la DAI.

1.3.1. *Impact de la DAI sur les performances d'un LNA.*

Les paramètres de la DAI qui vont avoir un rôle clé dans le fonctionnement du LNA sont résumés dans le Tableau 2-4.

Tableau 2-4. Liste des caractéristiques du LNA et de leurs dépendance vis-à-vis de la DAI.

CARACTERISTIQUE DU LNA	INFLUENCE DE LA DAI ?	COMMENTAIRES
GAIN EN TENSION	OUI	Le gain en tension dépend de l'impédance de sortie pour un G_m constant. Ce paramètre est réglé la résistance négative.
BANDE PASSANTE	OUI	L'impédance de sortie sera filtrante. La résonance de la DAI tient compte d'une éventuelle capacité de charge.
ADAPTATION	NON	On n'envisage pas que la DAI puisse servir à l'adaptation en entrée du LNA pour des questions de flexibilité et de bruit. Cela suppose que la transconductance d'entrée du LNA doit présenter une bonne isolation inverse.
STABILITE	OUI	Le risque d'instabilité de la DAI engendre un risque d'instabilité du LNA. Le contrôle de la partie réelle de l'impédance de la DAI doit être robuste.
LINEARITE	OUI	La linéarité finie de la DAI impacte la linéarité de la tension de sortie. Cette non linéarité sera d'autant plus importante que l'impédance à la résonance sera élevée.
BRUIT	OUI	La DAI est un circuit actif qui génère une importante quantité de bruit. On espère minimiser cet effet en plaçant la DAI en sortie du LNA et profiter du gain LNA.
CONSOMMATION	OUI	Le budget de consommation alloué pour la DAI s'ajoutera au budget de consommation de l'ensemble LNA+DAI.
ROBUSTESSE AUX VARIABILITES	OUI	Si la DAI est soumise à des variations technologiques, alors le gain et la bande passante du LNA seront influencés.

Tous ces points illustrent que les performances du LNA seront étroitement liées à celle de la DAI.

1.3.2. *Limites des travaux réalisés dans le cadre de la thèse.*

L'étude d'une DAI qui va être présentée dans ce chapitre constitue la première partie des travaux de la thèse. Suite à la réalisation d'un prototype simple de DAI en technologie 65nm, une technique de linéarisation dynamique a été vérifiée en mesure et une nouvelle technique de linéarisation autour d'un circuit amélioré a été proposée et simulée. Bien que les résultats de mesure de la DAI démontrent que le circuit est fonctionnel, plusieurs points bloquants n'ont malheureusement pas permis d'envisager son utilisation dans un prototype de LNA complet. Les travaux de la thèse se sont alors orientés rapidement sur des architectures de LNA sans inductance active dont l'étude constitue la deuxième partie de la thèse.

Concernant les limites en bruit des inductances actives, les différentes pistes récentes présentées dans l'état de l'art [29] et [28] semblent apporter des solutions innovantes qu'il conviendrait d'approfondir. Nous renvoyons le lecteur aux publications de référence sur le sujet [30],[29]

Le reste de ce chapitre présentera la structure de DAI implémentée sur silicium ainsi que sa caractérisation en petit signal et en large signal. Nous aborderons également l'effet des variations technologiques et nous proposerons une technique de minimisation de la dispersion technologique. Nous aborderons ensuite les techniques de linéarisation envisageables ainsi que le nouveau circuit proposé pour améliorer la linéarité de la DAI.

Partie 2. Conception et réalisation d'une DAI en technologie CMOS 65nm

2.1. Conception d'une inductance active en technologie CMOS 65nm

2.1.1. Rappel de la structure DAI

Le circuit DAI présenté précédemment (cf § 1.2.4.d) constitue un bon compromis entre simplicité et faible consommation. Le caractère naturellement différentiel et le fonctionnement en réutilisation de courant sont des atouts majeurs. La Figure 2-20 représente le circuit complet proposé dans cette partie.

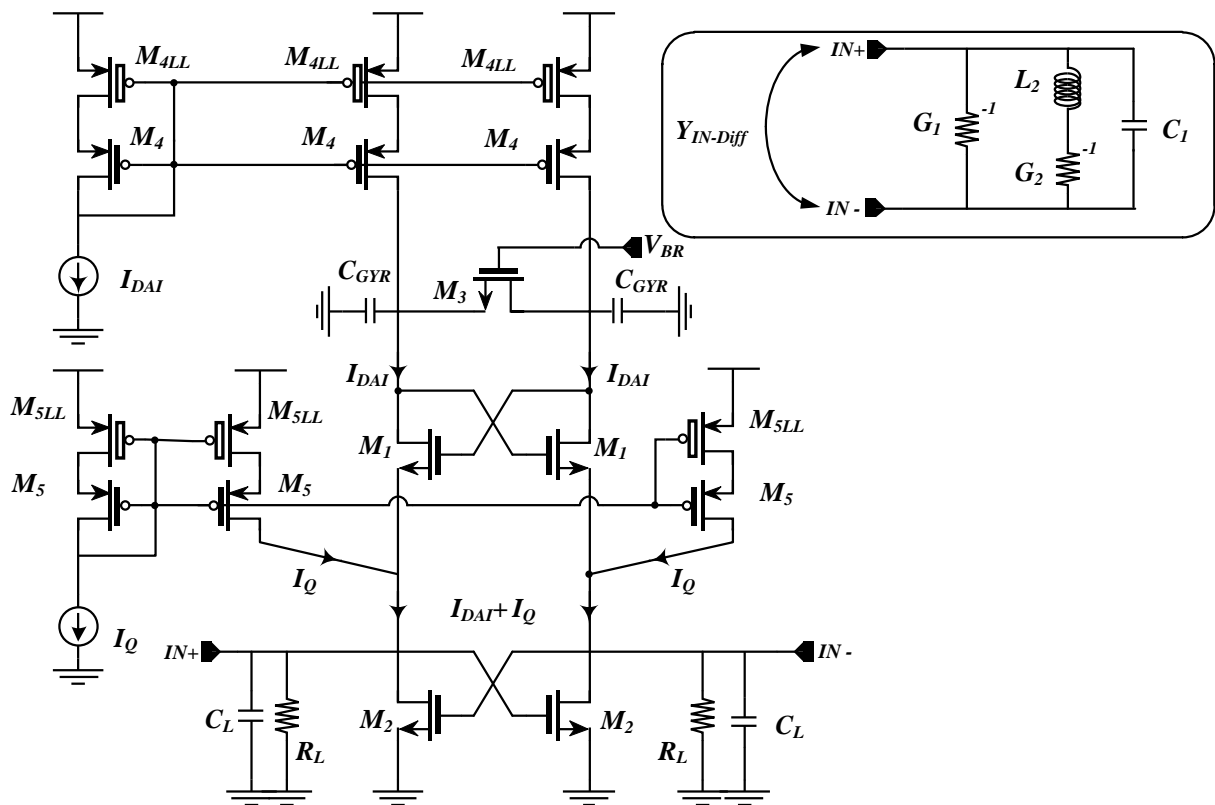


Figure 2-20. Schéma de la DAI étudiée

Le circuit comporte un gyrateur différentiel (M_1 , C_{GYR}) réalisé avec des transistors NMOS avec des capacités métal-métal (C_{GYR}). La résistance assurant la stabilité est réalisée avec un transistor NMOS (M_3) polarisé en zone ohmique et commandée par la tension DC V_{BR} . Un montage NMOS (M_2) réalise une résistance négative différentielle situé à l'entrée de la DAI. La charge de la DAI (R_L , C_L) est également représentée, la capacité de charge joue le rôle de la capacité de résonance, elle inclut une capacité MOM ainsi que les parasites capacitifs (pad de test, lignes de connexions).

Le courant de polarisation de la DAI (I_{DAI}) est réalisé via des miroirs de courant cascodés (M_4, M_{4LL}). Un miroir de courant auxiliaire (M_5, M_{5LL}) est rajouté pour ajuster le courant de la résistance négative (I_Q). Ces miroirs de courant utilisent un transistor cascode de type faible fuites (*Low Leakage*) disponible dans la technologie et présentant une tension de seuil plus élevée et qui sont par conséquent moins sensible à la dispersion technologique.

2.1.2. Spécification des performances

On fixe les objectifs de dimensionnement de la DAI pour une application basse consommation. Les paramètres clés sont la fréquence de résonance, l'impédance à la résonance et la consommation statique.

Tableau 2-5. Objectifs de dimensionnement

CONSUMPTION	FREQUENCE DE RESONANCE	IMPEDANCE DE RESONNANCE
$P_{DAI} < 1mW$	$f_{RES} > 2.5GHz$	$Z_{DD} > 1k\Omega$

La consommation statique (P_{DAI}) maximale est choisie faible afin de réserver la majeure partie de la consommation pour la partie transconductance de l'amplificateur si l'on souhaite réaliser un LNA. Le circuit réalisé a été mesuré à plusieurs polarisations du gyrateur et donc à plusieurs consommations statiques. Ceci permet de vérifier que la valeur de l'inductance est bien conforme à l'approximation de (2-23).

2.1.3. Dimensionnement de la DAI

Le dimensionnement des composants utilisés dans la DAI est présenté dans le tableau ci-dessous. Les dimensions des MOS tiennent compte du fait que C_{GYR} et C_L ne peuvent pas être de valeur trop faible afin de ne pas rendre le circuit trop sensible aux différentes capacités parasites (capacités de grille C_{gs} et de diffusion des transistors ainsi que les capacités d'interconnexions). Il existe de toute façon une limite inférieure à C_L liée à l'existence d'un plot de test de capacité finie C_{PAD} .

Tableau 2-6. Paramètres géométriques de la DAI

PARAMETRE	VALEUR
W_1/L_1 (μm)	8/0,06
W_2/L_2 (μm)	14/0,06
$C_{GYR-DIFF}$	26fF (capacités. parasites incluses)
W_3/L_3 (μm)	8/0,18
C_L	44fF (MOM) + 80fF (C_{PAD})
W_4/L_4 (μm)	15/0,13
W_5/L_5 (μm)	15/0,13

Le tableau suivant détaille le modèle simplifié de l'impédance de la DAI ainsi que le modèle qui tient compte des composants parasites :

Tableau 2-7. Equations petit signal de la DAI - Modèle simplifié et modèle avec les parasites.

EQUATIONS PETIT SIGNAL DU MODELE IDEAL SANS PARASITES	EQUATION PETIT SIGNAL DU MODELE AVEC PARASITES
$G_1 = 2(g_{m1} - g_{m2} + g_L) \quad (2-28)$	$G_1 = 2(g_{m1} - g_{m2} + g_L + g_{DS1} + g_{DS2} + g_{DS4}) \quad (2-32)$
$L_2 = \frac{2C_{GYR}}{(g_{m1}^2)} \quad (2-29)$	$L_2 \approx \frac{2C_{GYR}}{(g_{m1}^2 - g_{DS1}^2)} \quad (2-33)$
$G_2 = \frac{2g_{m1}^2}{2g_{DS3} - g_{m1}} \quad (2-30)$	$G_2 = \frac{2g_{m1}^2}{2g_{DS3} - g_{m1} + g_{DS1} + g_{DS4}} \quad (2-34)$
$C_1 = C_L/2 \quad (2-31)$	$C_1 = (C_L + C_{GS2})/2 \quad (2-35)$
	$C_{GYR2} \approx C_{GYR} + C_{GS3} + C_{ParM4} \quad (2-36)$

Si l'on souhaite inclure les capacités d' interconnexions, le recours à un outil d'extraction post layout est alors nécessaire.

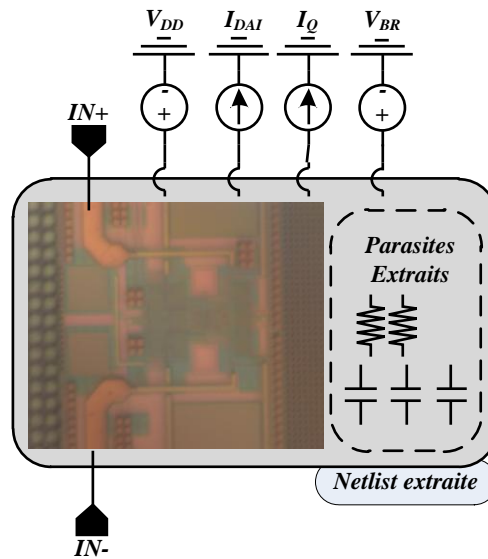


Figure 2-21. Représentation du circuit DAI extrait à l'aide d'un outil d'extraction de parasites post-layout.

Contrairement au circuit de la DAI présenté précédemment la vue extraite avec parasites ne comporte de nombreux nœuds liés au réseau de capacités (et des résistances) extraits des interconnexions. Nous nous contenterons par la suite de vérifier que l'inductance simulée par le circuit est bien proche de la valeur calculée à l'aide de la formule (2-29) du Tableau 2-7. Si tel est le cas, alors on peut raisonnablement considérer que le modèle simplifié rend bien compte du comportement réel du circuit et que les parasites jouent un rôle négligeable dans la précision du modèle.

Les valeurs d'inductance théoriques calculées (L_2) ainsi que la résistance parallèle équivalente à la résonance ($R_{//}$) sont résumées dans le tableau ci-dessous pour 3 valeurs de consommation (lié au courant de polarisation de M_1) de la DAI :

Tableau 2-8. Point de fonctionnement de la DAI pour 3 consommations DC

PARAMETRES AC PETITS SIGNAUX DE $M_{1,2,3}$							
$P_{DAI}(\mu W)$	$g_{m1}(mS)$	$g_{DS1}(\mu S)$	$g_{m2}(mS)$	$g_{DS2}(\mu S)$	$C_{GYR-DIFF}$ = 26fF	L_2 (nH)	$R_{//}$ (k Ω)
250	1.8	280	2.18	320		32,9	5.75
400	2.51	400	3.17	470		16,9	4.55
700	3.52	580	4.68	700		8,6	3.1

Ces trois cas remplissent les spécifications que nous sommes fixés concernant la consommation et l'impédance à la résonance. La configuration la plus intéressante correspond au cas $P_{DAI} = 700\mu W$. Nous privilégions ce cas pour la valeur de l'inductance obtenue $L_2 = 8.6nH$, laquelle permet de s'accommoder plus facilement des capacités parasites qui chargeront la DAI. Nous verrons dans ce chapitre que cette configuration présente également une linéarité supérieure par rapport aux autres cas du Tableau 2-8

2.1.4. Simulation et Mesure de la DAI en limite de stabilité

Dans ce paragraphe nous présentons les résultats de simulation et de mesure de la DAI pour une consommation électrique de $700\mu W$. Nous nous intéressons ici à un réglage particulier de la tension V_{BR} qui contrôle la résistance différentielle de stabilité.

Ce mode de réglage correspond à une impédance située au bord de l'abaque de Smith. Pour obtenir ce réglage, le V_{BR} est ajusté afin d'annuler partiellement la résistance R_2 (résistance basse fréquence du modèle discret équivalent de la Figure 2-3). Les résultats qui suivent comparent les simulations du circuit (effectuées en tenant compte des parasites post-layout) avec les mesures réalisées sur le prototype fabriqué. Les mesures sont effectuées entre 100MHz et 5GHz.

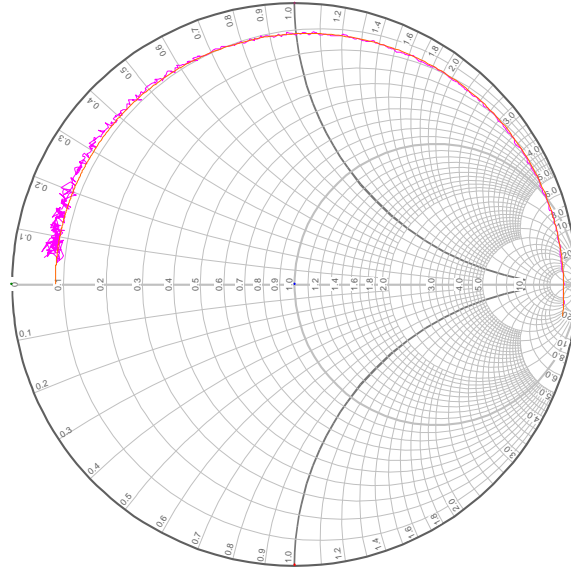


Figure 2-22. Représentation du S_{11} simulé (orange) et mesuré (violet)

On mesure l'inductance équivalente du circuit à 600MHz de façon à être suffisamment éloigné de la résonance propre du circuit et de la zone basse fréquence où les mesures sont fortement bruitées.

On évite d'annuler totalement R_2 de façon à ne pas avoir une impédance de DAI en dehors de l'abaque de Smith, ce qui correspondrait à une instabilité en basse fréquence. Il est de toute façon difficile en mesure de maintenir l'impédance de la DAI à la limite de l'instabilité représentée par le bord de l'abaque étant donné le bruit inhérent à l'environnement de mesure. La valeur de la conductance $G_2 = 1/R_2$ utilisé comme référence pour le réglage de V_{BR} est de 100mS (10 Ω). Nous avons montré précédemment qu'il existe une fréquence de coupure (f_A) qui peut rendre difficile la mesure de l'inductance parallèle simulée par le gyrateur (c.f 1.1.1 page 21). Dans ce cas précis, on estime la fréquence de coupure à $f_A \cong 120\text{MHz}$. Ceci nous indique donc, d'après les relation (2-8) et (2-9) que la valeur de l'inductance équivalente sera proche de l'estimation $L_2 \approx (2C_{GYR})/(g_{m1}^2 - g_{DS1}^2)$. On confirme cela en confrontant mesure et simulation l'inductance (par exploitation des paramètres Z simulé et mesurés) dans le Tableau 2-9.

Tableau 2-9. Mesure de l'inductance série L_S en limite de stabilité

P_{DAI} (μW)	f_{MES} (MHz)	$L_{S-SIM}(\text{nH})$	$L_{S-MES}(\text{nH})$	$\frac{\Delta L}{L_{SIM}}$ (%)
700	600	9.94	9.85	-0.87

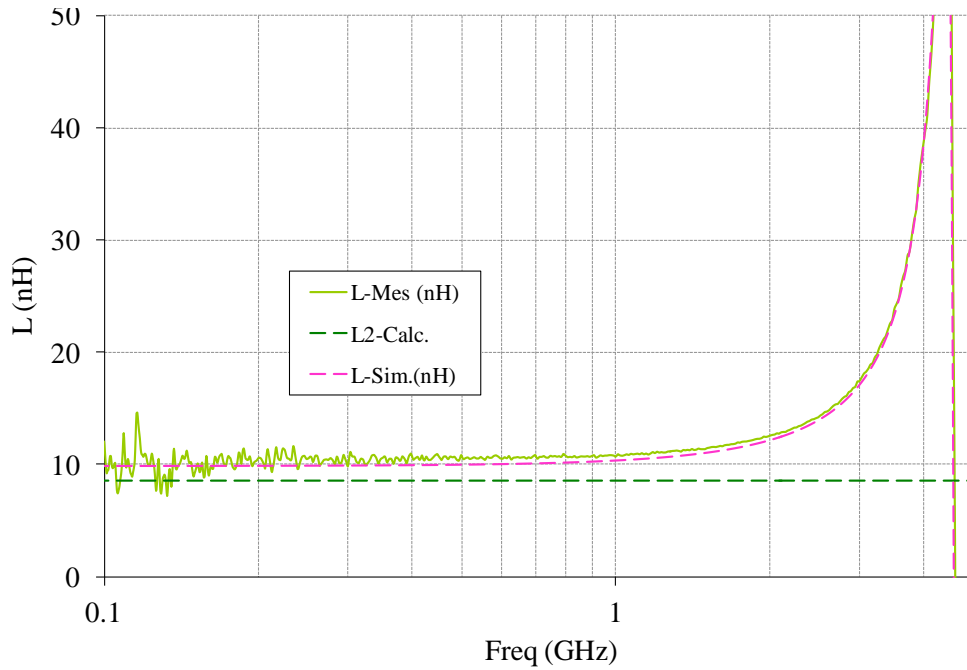


Figure 2-23. Simulation et mesure de l'inductance L_S . L'estimation simplifiée de L_2 est également représentée.

On constate que la mesure et la simulation sont très proches, ce qui indique une bonne modélisation du comportement du circuit lorsque l'on inclut les parasites post-layout. On vérifie également qu'il y a accord entre simulation et mesure concernant la fréquence et l'impédance à la résonance. Les résultats sont illustrés ci-après :

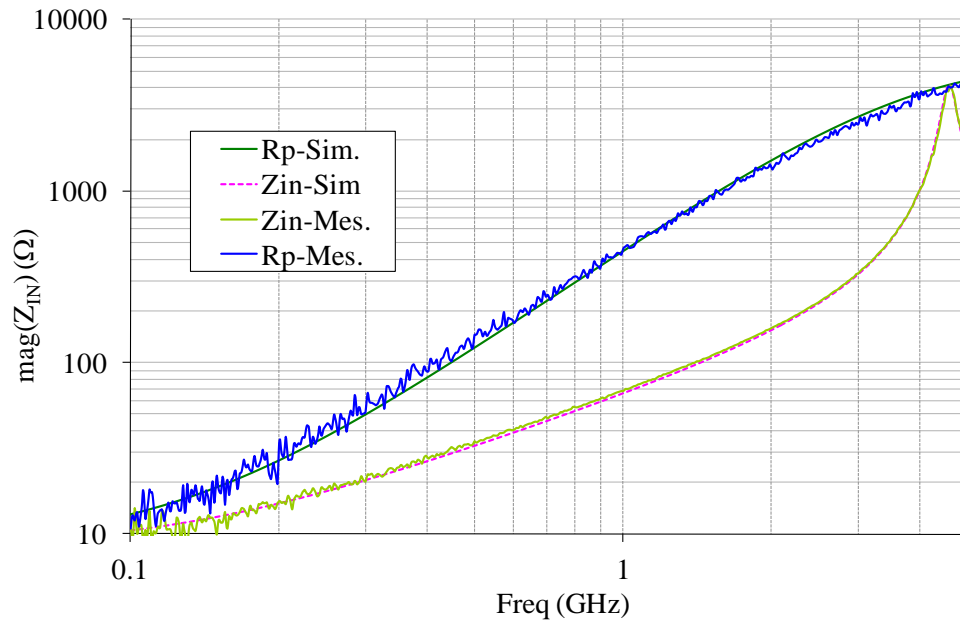


Figure 2-24. Simulation et mesure du module de l'impédance différentielle Z_{IN}

Tableau 2-10. Mesures de la fréquence de résonance, de l'impédance à la résonance et du facteur de qualité de la charge.

P_{DAI} (μW)	f_{RES-TH} (GHz)	$f_{RES-SIM}$ (GHz)	$f_{RES-MES}$ (GHz)	$\frac{\Delta f_{RES}}{f_{RES-SIM}}$ (%)
700	4.9	4.57	4.6	0.6
	$R_{//TH}$ (k Ω)	$R_{//Sim}$ (k Ω)	$R_{//Mes}$ (k Ω)	$\frac{\Delta R}{R_{SIM}}$ (%)
	3.1	4.11	4.05	-1.4
	Q_{TH}	Q_{SIM}	Q_{MES}	$\frac{\Delta Q}{Q_{SIM}}$ (%)
	~ 12	13.1	11.9	-9.5

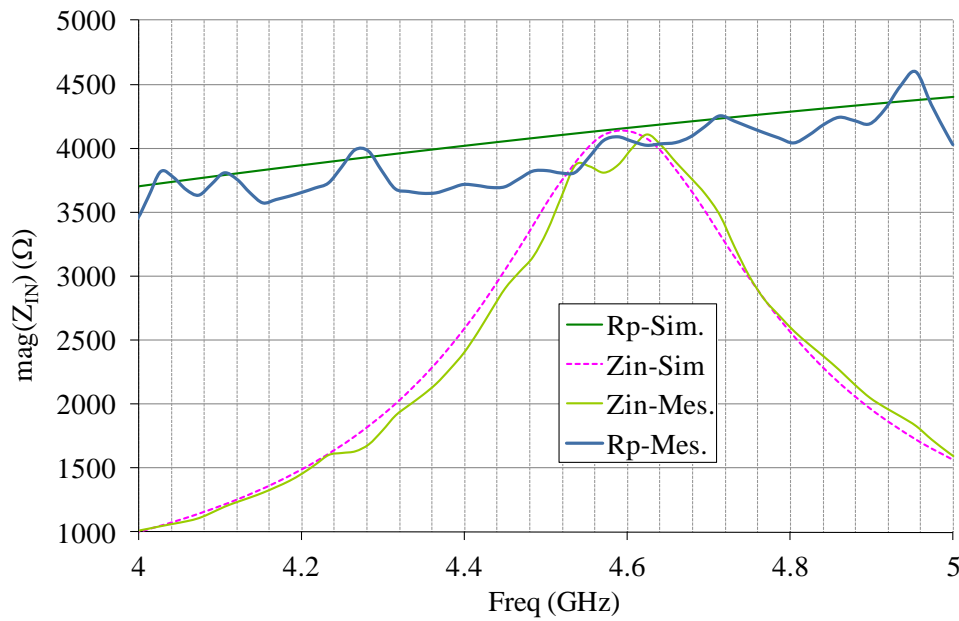


Figure 2-25. Agrandissement de la Figure 2-24 autour de la fréquence de résonance.

En termes de fonctionnalité, le comportement de la DAI est correctement prédit par la simulation, que ce soit la valeur de l'inductance, le module de l'impédance à la résonance, ou la fréquence d'auto résonance.

Cependant, les mesures réalisées sur le prototype montrent qu'il existe une sensibilité importante concernant la résistance différentielle de stabilité. Dans une utilisation à grande échelle de ce circuit, il ne serait pas raisonnable d'envisager un réglage manuel précis de la tension V_{BR} pour obtenir une impédance en limite de stabilité (i.e dont la caractéristique sur l'abaque de Smith se situe proche du bord de l'abaque).

On peut alors considérer que le réglage de la résistance différentielle soit effectué de façon à obtenir une valeur de R_2 plus élevée que les 10 Ω considérés dans ce paragraphe, de

façon à éviter au mieux un réglage qui aboutisse à une impédance en dehors de l'abaque de Smith. C'est l'objet du prochain paragraphe.

2.1.5. Simulation et mesure de la DAI en mode dégradé

Dans le cas où on privilégiera la stabilité du circuit pour une très forte impédance à la résonance, nous nous intéressons à un réglage particulier de la DAI où la résistance basse fréquence R_2 du modèle discret est volontairement fixée à 50Ω . La caractéristique de l'impédance sur l'abaque de Smith présente alors un module moins élevé qui a pour conséquence une dégradation de l'impédance différentielle à la résonance :

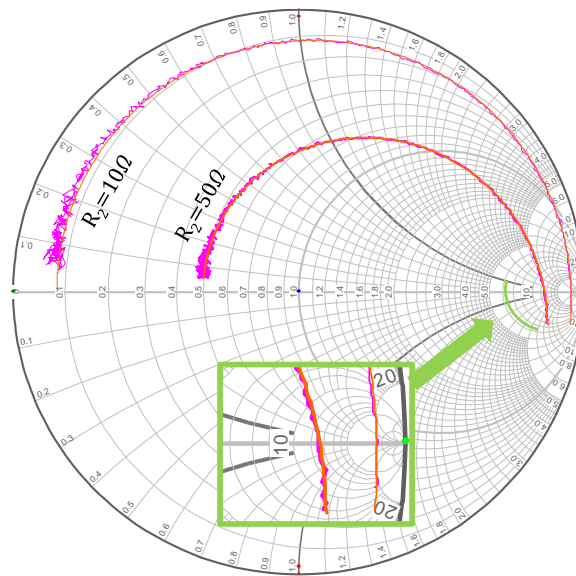


Figure 2-26. Effet de deux réglages de la valeur de R_2 (10Ω et 50Ω) sur l'allure de l'impédance de la DAI.

Avec ce nouveau réglage, le modèle prédit correctement le résultat de mesure de l'impédance (Figure 2-27).

Tableau 2-11. Mesure de l'inductance Série L_S en mode dégradé.

P_{DAI} (μW)	L_2 (nH)	L_{S-Sim} (nH)	L_{S-Mes} (nH)	$\frac{\Delta L}{L_{SIM}}$ (%)
700	8,6	9.79	9.65	-1.51

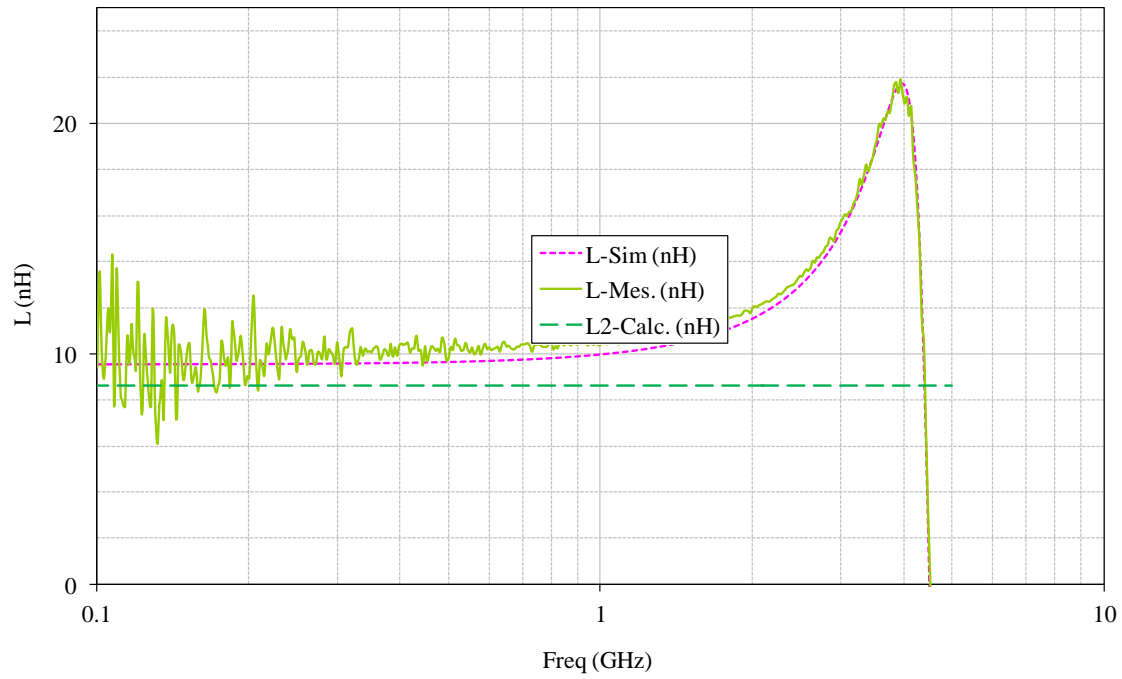


Figure 2-27. Simulation de mesure de l'inductance en mode dégradé (où L_{2-CALC} est la valeur calculée en basse fréquence (eq. (2-33) page 40)

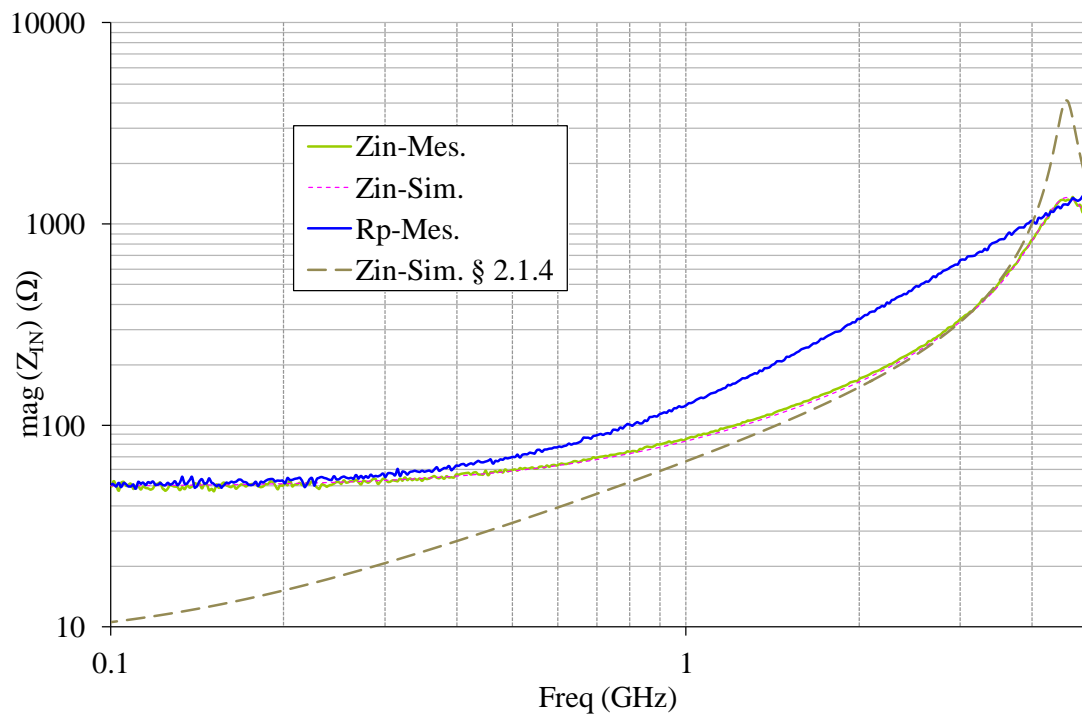


Figure 2-28. Simulation et mesure du module de l'impédance différentielle Z_{IN} en mode dégradé.

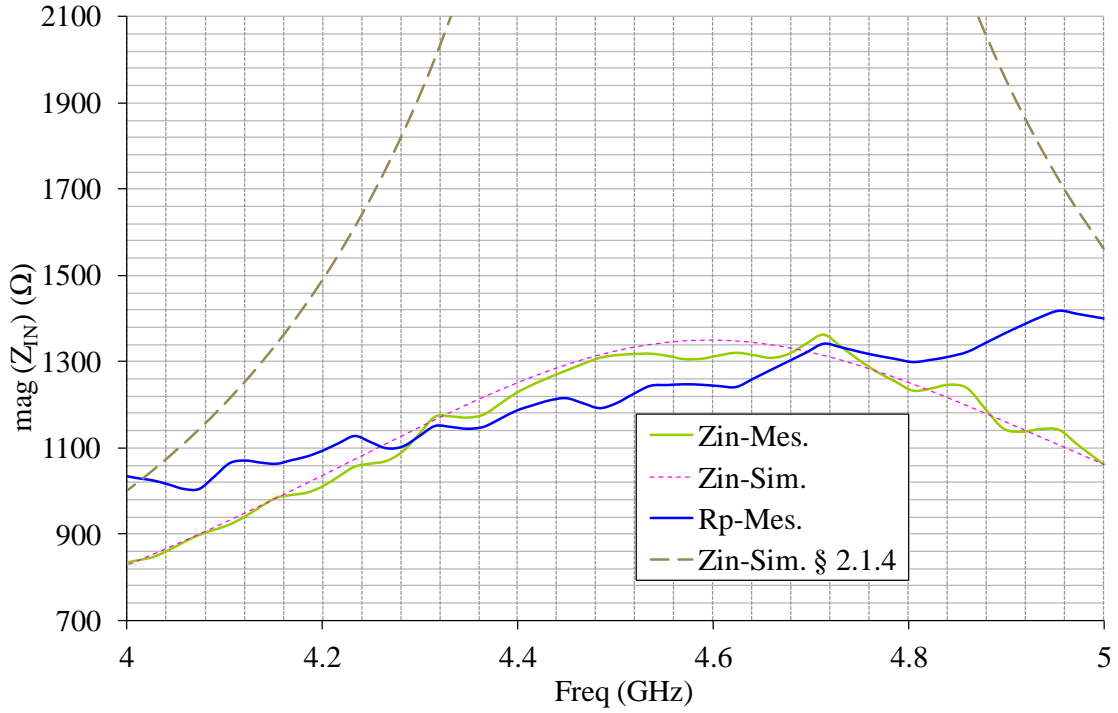


Figure 2-29. Agrandissement de la Figure 2-28 autour des fréquences de résonances

Tableau 2-12. Mesures de la fréquence de résonance, de l'impédance à la résonance et du facteur de qualité de la charge

P_{DAI} (μW)	f_{RES-TH} (GHz)	$f_{RES-SIM}$ (GHz)	$f_{RES-MES}$ (GHz)	$\frac{\Delta f_{RES}}{f_{RES-SIM}}$ (%)
700	4.55	4.57	4.59	0.43
P_{DAI} (μW)	$R_{//TH}$ (k Ω)	$R_{//SIM}$ (k Ω)	$R_{//MES}$ (k Ω)	$\frac{\Delta R_{//}}{R_{SIM}}$ (%)
700	1.5	1.34	1.36	1.49
P_{DAI} (μW)	Q_{TH}	Q_{SIM}	Q_{MES}	$\frac{\Delta Q}{Q_{SIM}}$ (%)
700	5.4	4.84	4.82	-0.47

Le mode dégradé aboutit à une impédance à la résonance de module plus faible sans toutefois fortement diminuer la fréquence de résonance. D'après les équations (2-32) à (2-36) g_{DS3} n'intervient que sur G_2 , l'action de V_{BR} n'a donc d'effet que sur l'impédance à la résonance et sur la sélectivité (facteur de qualité Q). Ce mode de fonctionnement est donc adéquat pour limiter les excursions en tension aux bornes de la charge tout en s'éloignant d'une zone où il existe des risques d'instabilité.

2.1.6. Conclusion sur la fonctionnalité petit signal de l'inductance

Le réglage de la DAI en simulation et en mesure montre que l'on peut configurer l'inductance dans un mode de fonctionnement en limite de stabilité ou en mode dégradé avec une impédance à la résonance plus faible. Il existe une bonne corrélation entre simulation et mesure et il est possible de prédire avec une bonne précision la valeur de la fréquence de résonance et de l'impédance à la résonance. Le tableau ci-dessous compare les résultats de simulation aux objectifs du paragraphe 2.1.2 :

Tableau 2-13. Objectifs de dimensionnement

	CONSOMMATION	FREQUENCE DE RESONANCE	IMPEDANCE DE RESONNANCE
<i>DAI spécifiée</i>	$P_{DAI} < 1mW$	$f_{RES} > 2.5GHz$	$ Z_{IN} > 1k\Omega$
<i>DAI réalisée</i>	$P_{DAI} = 0.7mW$	$f_{RES} = 4.6GHz$	$ Z_{IN} = 1.4k\Omega / 4.05k\Omega$

Nous abordons à présent les imperfections qui vont altérer le fonctionnement de la DAI dans un environnement réel. Nous avons par exemple mentionné la sensibilité du réglage de l'impédance en fonction de V_{BR} ce qui posera un problème de fiabilité dans le cas où la circuiterie qui générerait cette tension de contrôle serait très sensible aux variations technologiques. Nous abordons ce point dans le paragraphe qui suit.

2.1.7. Sensibilité de la DAI aux variations technologiques

La sensibilité aux variation technologique est étudiée grâce à la méthode statistique de Monte Carlo. La DAI est potentiellement peu robuste aux variations technologiques compte tenu du type de réglage choisi pour la stabilité. On différencie deux types de variations technologiques qui limiteront la robustesse de la DAI aux variations technologiques.

- Les variations technologiques globales (variations de type « corner ») : qui représentent les variations technologiques entre 2 lots de plaques qui ne sont pas réalisées dans les mêmes conditions physiques
- Les variations technologiques locales (variations de type « mismatch ») : qui représentent les variations entre 2 composants (transistor MOS, résistance poly, etc.) situé à coté l'un de l'autre au sein d'une même plaque issu d'un lot dont les étapes technologiques présentent les même conditions quel que soit la plaque.

Dans ce qui suit, seules les variations locales sont considérées. En ce qui concerne les variations globales, on envisage qu'il est possible de s'en affranchir en grande partie grâce à

des techniques de polarisation comme, par exemple, l'utilisation d'un courant de référence de la forme $I_{REF} = V_{BG}/R$ où V_{BG} est une tension de référence issu d'un circuit bandgap [6]. On procède à 500 tirages statistiques par la méthode de Monte-Carlo sur l'ensemble du circuit DAI. L'étude statistique porte sur les 2 cas de réglage de R_2 détaillés dans les paragraphes précédents (mode de fonctionnement en limite de stabilité et fonctionnement en mode dégradé) :

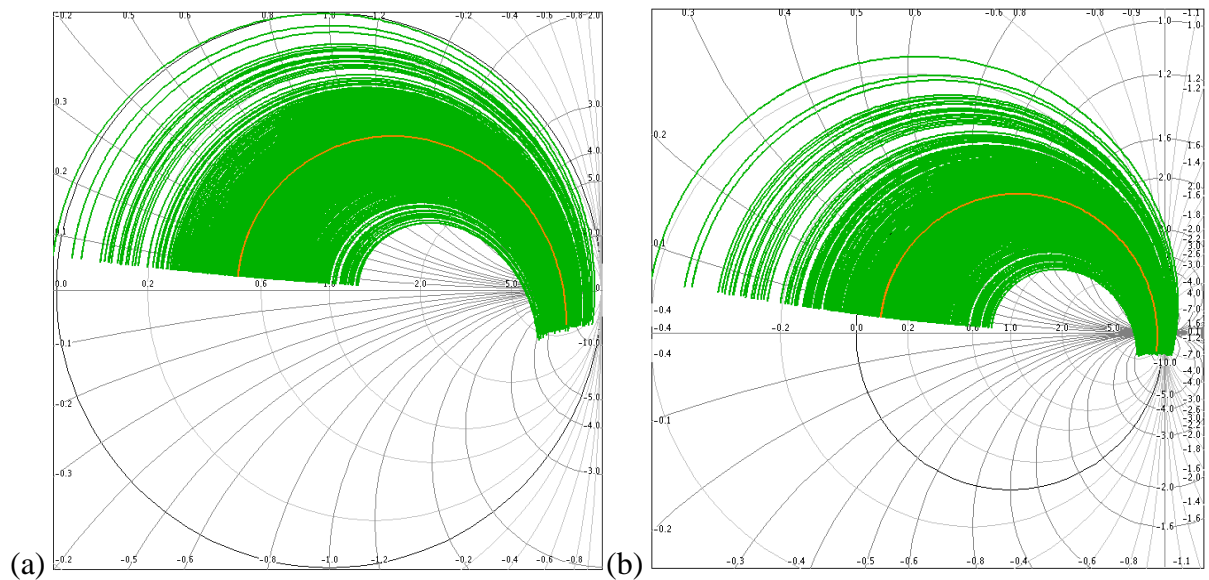


Figure 2-30. Simulation Monte-Carlo du S_{11} de la DAI avec 500 tirages pour la configuration à $R_2=50\Omega$ d'une part (a) et $R_2=10\Omega$ d'autre part (b)

La Figure 2-30 représente la simulation nominale en orange, les courbes vertes représentent l'ensemble des 499 autres tirages simulés. Les distributions gaussiennes calculées à partir de ces simulations sont résumées ci-après au travers de leurs valeurs moyennes (μ) et de leurs écarts types (σ). D'après la Figure 2-30-a il semble qu'il existe peu de cas instable lorsque $R_2 = 50\Omega$ (une seule impédance en dehors de l'abaque de Smith). Ceci indique que le risque d'instabilité dans ce mode de fonctionnement est plus comme nous l'avions précédemment suggéré.

Tableau 2-14. Caractéristiques nominales de la DAI à $700\mu W$

$R_2 (\Omega)$	$L_{S-Sim}(nH)$	$f_{RES-Sim} (GHz)$	$R_{//Sim} (k\Omega)$	$Q_{SIM} (U.A)$
10	9.94	4.57	4.11	13.1
50	9.8	4.57	1.34	4.84

Tableau 2-15. Distribution des paramètres AC de la DAI pour 500 tirages Monte-Carlo

Config. DAI (valeur de G_2)	Paramètres	Valeur nominale Simu.	Moyenne (μ)	Dévi- ation standard (σ)	$\Delta = \frac{\sigma}{\mu} (\%)$
$R_2 = 10 \Omega$	$L_S (nH)$	9.94	10.04	0.2	1.99
	$R_{//} (k\Omega)$	4.11	4.08	4.67	114.46
	$f_{RES} (GHz)$	4.57	4.60	0.05	1.09
	$Q (U.A)$	13.1	13.3	15.4	115.79
$R_2 = 50 \Omega$	$L_S (nH)$	9.8	9.75	0.4	4.10
	$R_{//} (k\Omega)$	1.34	1.34	0.635	47.39
	$f_{RES} (GHz)$	4.57	4.57	0.032	0.70
	$Q (U.A)$	4.84	4.86	2.11	43.42

D'après le Tableau 2-15 on formule plusieurs remarques. On constate tout d'abord qu'il existe des paramètres pour lesquels il y a une très forte dispersion. On quantifie cette dispersion via le rapport Δ entre la déviation standard σ et la moyenne de la distribution μ . Le fait que l'inductance L_S ainsi que la fréquence de résonance f_{RES} ne varient pas beaucoup indique que les mésappariement des éléments C_{GYR} et g_{m1} du modèle simplifié a peu d'impact sur l'inductance et la fréquence de résonance. D'autre part, les Figure 2-30 illustrent une forte variation de l'impédance basse fréquence qui provoque également une variation importante de l'impédance à la résonance $R_{//}$ et du facteur de qualité Q (qui dépendent des pertes basses fréquence).

La caractéristique de la résistance de stabilité est notablement non linéaire étant donné le mode de polarisation du MOS M_3 (réglage en tension par V_{BR}). Ainsi, sans aucun mécanisme d'ajustement de cette polarisation vis-à-vis des variations des MOS M_1 , la caractéristique de M_3 ne varie pas de façon suffisamment faible pour maintenir constantes les caractéristiques AC de la DAI. L'effet de cette non-corrélation de variations technologiques impacte directement l'équation (2-34) et par conséquent joue pour beaucoup dans la forte dispersion illustré dans le Tableau 2-15 ci-avant.

Pour confirmer l'influence du mésappariement de M_1 et de M_3 sur la dispersion de l'impédance de la DAI, on propose de simuler un réajustement correct de V_{BR} pour une variation arbitraire (i.e pour un tirage Monte Carlo considéré isolément). On quantifie alors la variation de l'impédance en supposant que le réglage de V_{BR} n'engendre pas de variation importante sur les pertes basses fréquence (R_2 équation (2-34)). Les résultats de cette

approche sont illustrés en Figure 2-31. Les deux réglage précédemment abordés ($R_2=10\Omega$ et $R_2=50\Omega$) sont toujours considérés. Le nombre de tirage effectué est limité ($N=16$) afin de vérifier en premier lieu si cette approche est pertinente pour limiter la variation technologique.

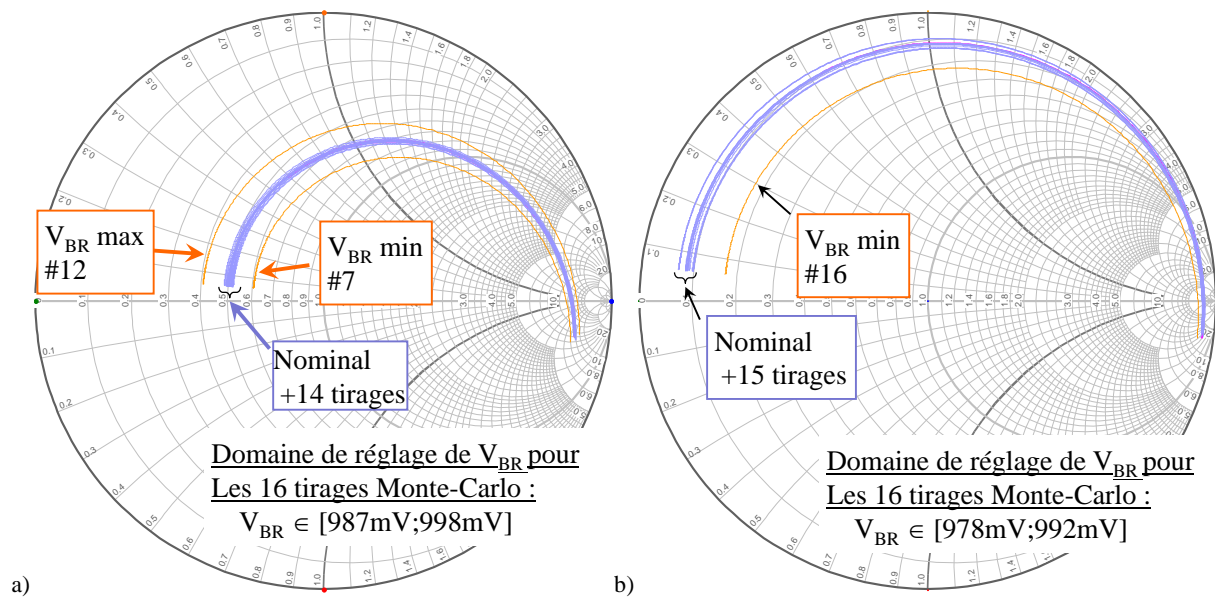
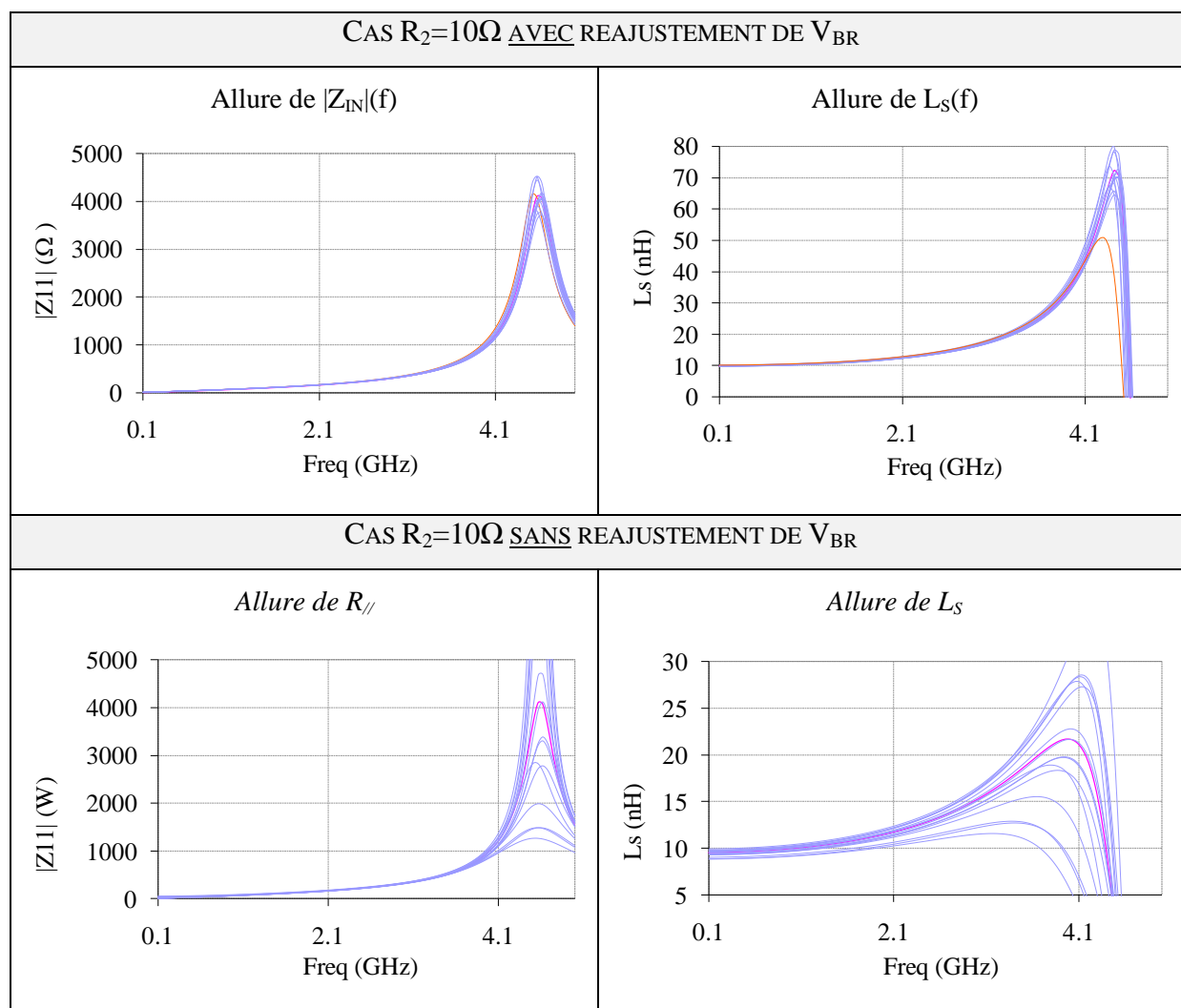


Figure 2-31. Simulation Monte Carlo avec $R_2=50\Omega$ (a) et $R_2=10\Omega$ (b) – ajustement du V_{BR} pour chaque tirage (courbes bleues), cas nominal (courbe rose).

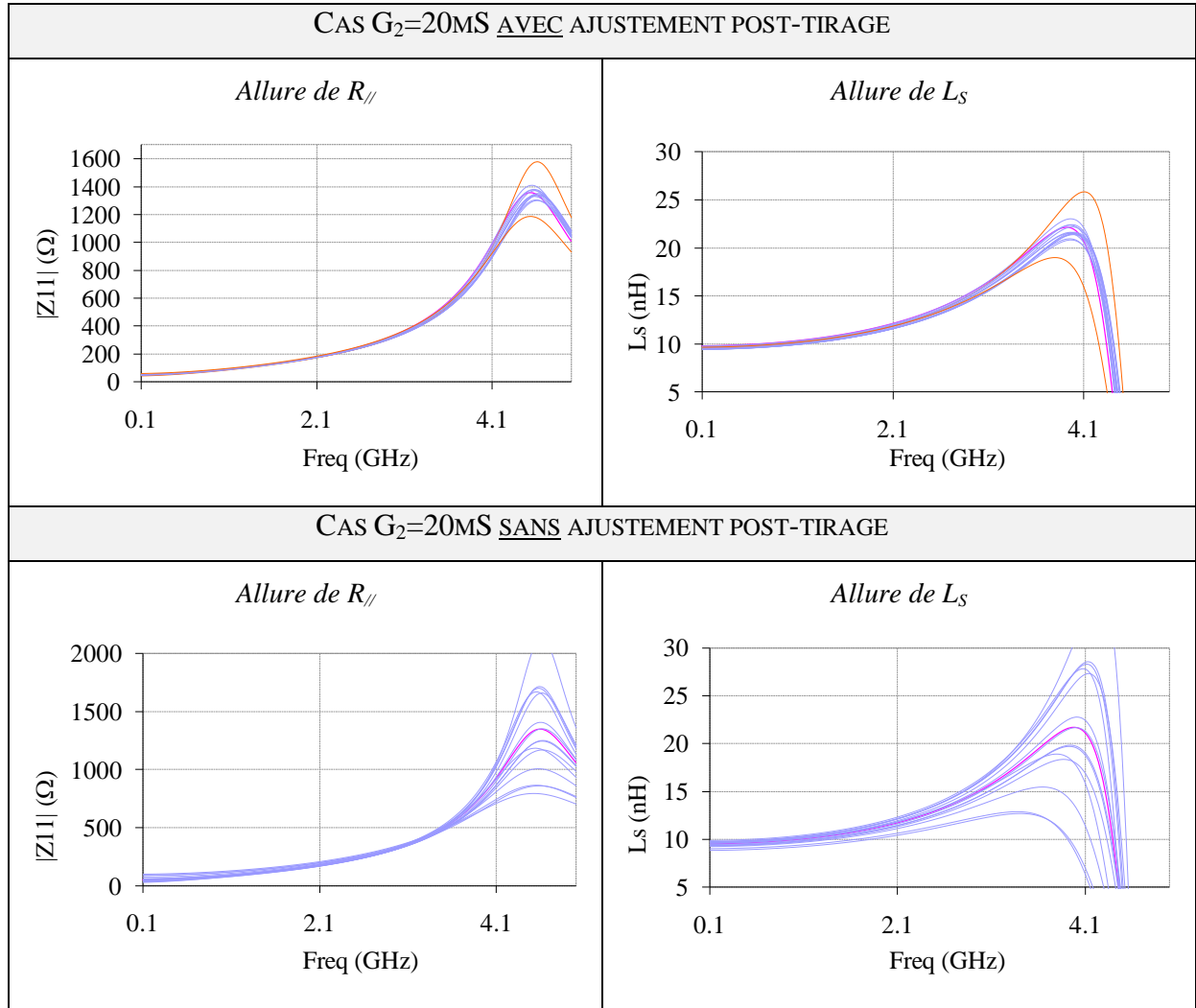
Pour chacun des 16 tirages, une plage de variation de V_{BR} est choisie. Cette dernière est ajustée avec une précision de 1mV. Pour les deux mode de réglage, la plage de variation choisie est d'environ 10mV. Même avec un nombre de tirages limités, on constate que le réajustement de la résistance de stabilité réduit considérablement la dispersion des paramètres de l'impédance. En contrôlant correctement les pertes basse fréquences (R_2) la dispersion résiduelle de l'impédance de la DAI reste faible. Il existe certains tirage où la plage de variation de V_{BR} choisie n'est pas assez étendue pour corriger l'impédance (surlignés en orange dans la Figure 2-31). Nous commenterons ce point ci-après. Les Tableau 2-16 et 0 comparent les resultats obtenus avec sans correction du V_{BR} . L'impédance à la résonance et l'inductance extraite sont représentées.

Tableau 2-16. Comparaison de 16 tirages Monte-Carlo, avec et sans Ré-ajustement $dE_{V_{BR}}$ – Cas $R_2=10\Omega$ (*)



(*) Dans les Tableau 2-16 et 0, la simulation nominale est représenté en rose. Les différents tirages aléatoires apparaissent en bleu. Lorsque le réglage de V_{BR} optimal n'est pas atteint (plage de variation de V_{BR} trop faible), le tirage est surligné en orange

**Tableau 2-17. Comparaison de 16 tirages Monte-Carlo, avec et sans Ré-ajustement
de V_{BR} – Cas $R_2=50\Omega$**



(*) Dans les Tableau 2-16 et 0, la simulation nominale est représenté en rose. Les différents tirages aléatoires apparaissent en bleu. Lorsque le réglage de V_{BR} optimal n'est pas atteint (plage de variation de V_{BR} trop faible), le tirage est surligné en orange

Les résultats ci-dessus montrent qu'avec un nombre limité de 16 tirages, la correction de la dispersion offre de bon résultats. Ceci confirme l'hypothèse selon laquelle la résistance différentielle impacte fortement la robustesse de l'impédance de la DAI. Pour garantir la valeur de R_2 définie par l'équation (2-34), le V_{BR} doit être calibré en fonction des paramètres petits signaux du MOS M_1 . Ceci implique une boucle de calibration potentiellement complexe. Les cas des tirages où la plage de variation du V_{BR} est trop faible pour corriger efficacement l'impédance indiquent également qu'il est nécessaire d'avoir une précision de réglage élevé sur V_{BR} . Cette dernière remarque conditionne par exemple la résolution et la complexité d'un DAC de tension qui serait utilisé pour corriger in-situ la tension V_{BR} . En définitive nous avons montré que le réglage précis des pertes basses fréquence peu fortement

améliorer la robustesse de la DAI aux variations technologiques. Ce résultat implique cependant que le type de polarisation choisi pour M_3 n'est pas robuste et qu'une boucle de correction potentiellement complexe serait nécessaire pour s'affranchir de cette faiblesse.

Enfin, pour compléter l'étude, il faudrait également ajouter l'effet des variations globales et l'effet de la température. En règle générale l'utilisation d'un *bandgap* ainsi que d'un courant de référence *CTAT* permet de limiter ce type variations en garantissant une polarisation dite 'à g_m constant' pour les circuit analogiques. Ce type d'approche corrective n'existe cependant pas pour les variations locales. Pour cette raison nous nous sommes donc préférentiellement intéressés aux variations locales qui se sont avérés très agressives pour la robustesse de la DAI aux variations technologiques. Les résultats obtenus montre qu'il s'agit d'un problème critique à résoudre afin d'envisager l'utilisation de la DAI dans un circuit complet. Pour l'utilisation d'une IA dans un LNA, la dispersion de la charge peut aboutir à des variations trop importantes du gain dans la bande ou du facteur de bruit comme illustré dans [28].

2.2. Fonctionnement de la DAI en grand signal

Nous nous intéressons à présent au comportement de la DAI en grand signal. En effet, l'état de l'art présente les DAI comme des circuits peu linéaires qui ont des points de compression assez faible [19, 30]. La quantification de la non linéarité d'une DAI doit en premier lieu être définie puisque l'on parle ici d'une impédance de charge considérée isolément et non d'un amplificateur complet.

2.2.1. Point de compression d'une charge

Pour un amplificateur, on qualifie la linéarité via la notion de point de compression à -1dB, qui définit la puissance RF maximale du signal d'entrée (notée ICP_{-1dB}) au-delà de laquelle la caractéristique de la puissance de sortie P_{OUT} n'est plus une fonction linéaire de la puissance d'entrée P_{IN} [6]. Au-delà de la compression, il existe des harmoniques hautes et basses fréquences qui rendent compte des phénomènes de distorsion néfastes à une récepteur radio. Pour une impédance considérée isolément, on définit ici une grandeur similaire. Si l'on considère une impédance dont le module $|Z|$ est non-linéaire et si l'on pilote cette impédance avec un courant RF linéaire (I_{RF}), alors la puissance dissipée dans cette dernière vaut :

$$P_Z = |Z| \cdot I_{RF}^2 \quad (2-37)$$

Par application de la définition du point de compression à -1dB sur cette puissance, on a :

$$\begin{aligned} P_Z(dB) - 1dB &= 10 \cdot \log \left(P_Z(mW) \cdot 10^{\frac{-1}{10}} \right) \\ &= 10 \cdot \log(P_Z(mW) \cdot 0,794) \end{aligned} \quad (2-38)$$

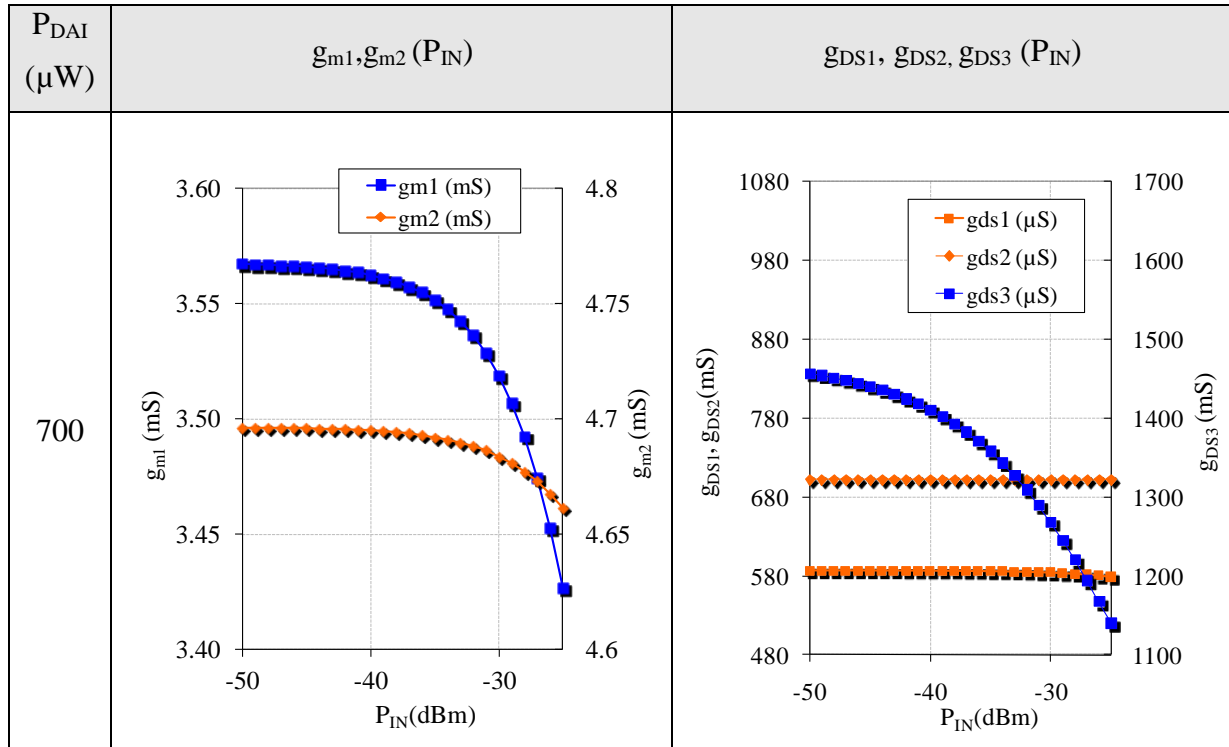
L'équation (2-38) nous permet de définir l' ICP_{-1dB} comme la puissance RF d'entrée pour laquelle la puissance dissipée dans l'impédance non linéaire est inférieure de 20,5% (0,794) à la valeur linéaire théorique. D'après (2-37) cela implique nécessairement que le module de l'impédance comprime du même facteur.

2.2.2. Mécanismes de compression de la DAI.

Le schéma équivalent de l'impédance de la DAI est défini par des éléments petits signaux (transconductance MOS) qui varient avec la puissance RF. En régime large signal, du fait d'une tension d'alimentation et de courants de polarisation limités, les fortes excursions des tensions de polarisation $v_{GS}(t)$ et $v_{DS}(t)$ engendrent des transconductances $g_m(t)$ et des conductances de drain $g_{DS}(t)$ non linéaires. Ces variations sont responsable des non-linéarités de l'impédance à la résonance $R_{//}$ et de l'inductance $L_{//}$. Afin d'identifier la source des non

linéarités dans le circuit DAI, on extrait l'évolution des transconductances et conductances en fonction de P_{IN} pour les différents transistors du circuit :

Tableau 2-18. Extractions des g_m et g_{DS} large signaux en fonction de la puissance RF du signal (P_{IN}).



La transconductance g_{m1} comprime plus fortement que la transconductance de résistance négative g_{m2} . Ceci devrait induire une diminution de la quantité $g_{m1} - g_{m2}$, ce qui aboutirait donc à une augmentation de l'impédance $R_{//}$ au moment de la compression.

La compression des conductances de sortie des NMOS M_1, M_2 et M_3 (notées respectivement g_{DS1}, g_{DS2} et g_{DS3}) illustrée ci-dessus montre que la conductance g_{DS3} comprime plus fortement que les autres conductances. Cette seconde évolution qui est dominante provoquera une diminution de l'impédance $R_{//}$ au moment de la compression au travers d'une augmentation du paramètre R_2 (pertes équivalentes en basse fréquence).

Enfin, d'après l'équation (2-34) (p.40) qui définit l'inductance comme proportionnelle à $1/g_{m1}^2$ on peut prédire que l'inductance va augmenter avec la compression de g_{m1} .

Tableau 2-19. Rappel des Paramètres AC petit signal de la DAI

$P_{DAI}(\mu W)$	$R_2 (\Omega)$	$L_{S-Sim}(nH)$	$f_{RES-Sim} (GHz)$	$R_{//Sim} (k\Omega)$	$Q_{SIM} (U.A)$
700	50	9.79	4.57	1.34	4.84

La source utilisée pour la simulation large signal est constituée d'un seul ton, calé sur la fréquence de résonance AC petit signal simulée. Le module de l'impédance $|Z_{IN}|$, qui vaut $R_{//}$ à la résonance, est extrait de cette simulation large signal.

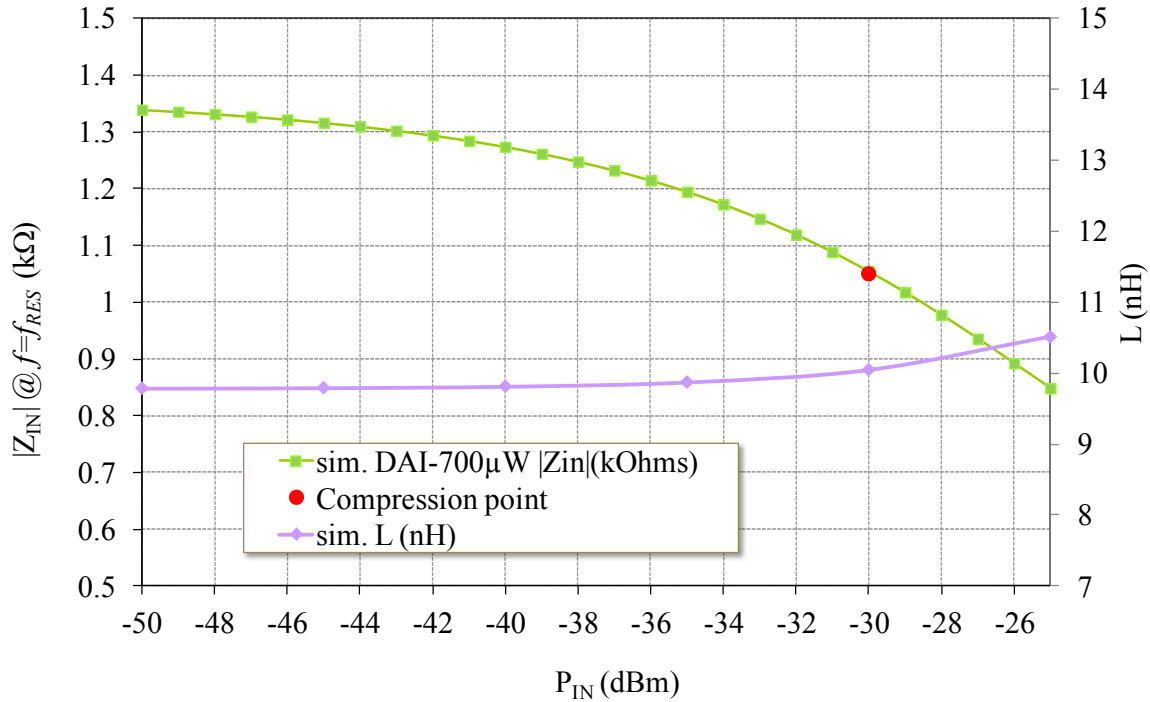


Figure 2-32. Compression de l'impédance à la résonance en fonction de la puissance du signal RF.

L'inductance simulée en large signal (Figure 2-32) présente elle une caractéristique plus stable en fonction de la puissance du signal RF. La valeur de l'inductance dépend en effet très peu de la compression de la résistance différentielle g_{DS3} laquelle impacte majoritairement l'impédance à la résonance. Nous avons souligné dans le paragraphe 2.1 que la fréquence de résonance changeait peu pour les deux réglages de R_2 (10Ω et 50Ω).

Ces résultats indiquent plusieurs comportements. Le premier relatif à $R_{//}$ indique qu'il y a une compression de la charge vers des valeurs plus faibles. Ce qui est du à une modification du paramètre R_2 . Le second indique que l'inductance augmentera à l'approche du point de compression. Nous allons confronter ci-après ces simulations aux mesures de la DAI en large signal.

2.2.3. Simulation et mesure de l'impédance de la DAI en large signal

L'utilisation du VNA dans l'environnement de mesure permet d'obtenir facilement l'allure du S_{11} complexe pour différente puissance RF. Le réglage des atténuateurs de puissance permettant de balayer la puissance d'entrée P_{IN} n'influence pas les paramètres de calibration de l'appareil. On considère donc que la mesure d'impédance est réalisée dans les même conditions pour chaque puissance du signal d'entrée. La puissance maximale utilisé est inférieure à la puissance de compression des détecteurs du VNA ($P_{IN-max} = +16dBm$). Les résultats de mesures sont illustré sur les Figure 2-33 a) et b).

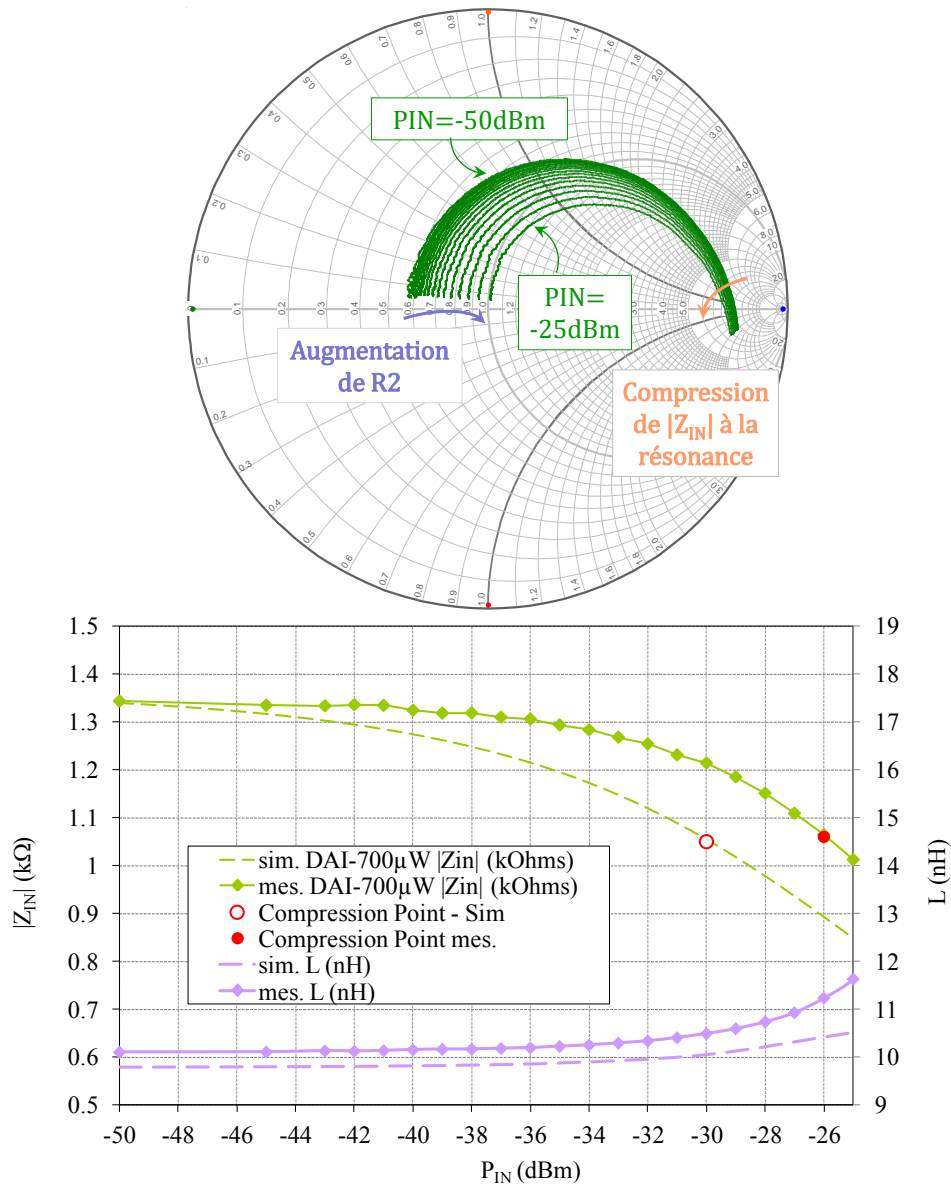


Figure 2-33. Compression de l'impédance à la résonance et de l'inductance de la DAI étudiée a) Abaque de Smith du S_{11} mesuré pour P_{IN} variant de -50dBm à -25dBm b) Simulation et mesure de $|Z_{IN}|$ et de l'inductance en fonction de P_{IN} .

Pour les faibles puissances, l'impédance réelle basse fréquence se situe aux alentours de 50Ω . Au fur et à mesure que la puissance augmente, la caractéristique basse fréquence de l'impédance se décale sur la droite de l'abaque (compression de g_{DS3} , augmentation de R_2). La résonance haute fréquence se décale vers le centre de l'abaque pour les puissances élevées ce qui est lié à l'augmentation de l'inductance équivalente $L_{//}$ et à la diminution de $R_{//}$. Comme dans l'approximation petit signal, une augmentation des pertes basses fréquence induit une augmentation des pertes parallèles équivalentes en haute fréquence. Il existe cependant un décalage important entre la mesure et la simulation. Les points de compressions à 1dB de la charge et de l'inductance sont résumés dans les Tableau 2-20 et Tableau 2-21:

Tableau 2-20. Point de compression de $|Z_{IN}|$ simulé et mesuré sur la DAI

$P_{DAI}(\mu W)$	$R_{//Sim}(k\Omega)$	$ICP_{-1dB}(dBm)$ <i>mesure</i>	$ICP_{-1dB}(dBm)$ <i>simulation</i>	$R_{//Sim}@ICP_{-1dB}(k\Omega)$	$R_{//Mes}@ICP_{-1dB}(k\Omega)$
700	1.34	-26	-30	1.05	1.06

Tableau 2-21. Compression de l'inductance L_S

$P_{DAI}(\mu W)$	$L_{S-MES}(-50dBm)$	$L_{S-SIM}(-25dBm)$	$L_{S-MES}(-25dBm)$
700	10.10	10.51	11.63

Une vérification de la puissance délivrée en mono-ton du VNA à l'aide d'un analyseur de spectre indique que la puissance en mesure est fiable. Il n'y a donc a priori pas de pertes de puissance en entrée qui puisse expliquer ce décalage. Il n'a pas été possible d'identifier clairement l'origine de ce décalage. Il est possible qu'il s'agisse d'une combinaison de plusieurs phénomènes (annulation locale des non linéarité, effet de filtrage, etc.) Des investigations plus poussées sont nécessaires. La simulation prédit cependant correctement la valeur de l'impédance au point de compression. Qu'il s'agisse de l'inductance ou de l'impédance à la résonance, nous confirmons par la mesure une tendance qui conforte l'analyse simplifiée à l'aide des évolutions de g_{m1} et g_{DS3} du Tableau 2-18. La compression de la charge ainsi que l'augmentation de l'inductance sont les principaux facteurs de limitation de la dynamique de la DAI.

2.2.4. Effet du réglage de la résistance différentielle du MOS M_3

Pendant la phase de test, l'effet du réglage de la résistance différentielle aux abords de la compression a été étudié. La compression de g_{m1} et de g_{DS3} ont des effets opposés sur la compression de l'impédance à la résonance $R_{//}$. On peut donc envisager une modification dynamique de g_{DS3} pour compenser l'effet de la non linéarité de g_{m1} . La tension V_{BR} permet

de modifier g_{DS3} en ce sens sans changer la polarisation de M_1 pour obtenir une amélioration à consommation constante. Il s'agit néanmoins d'une technique de compensation des non-linéarités dans le cas d'un signal à puissance constante. La Figure 2-34 illustre l'allure du S_{11} obtenu à l'aide de cette technique de re-polarisation de M_3 .

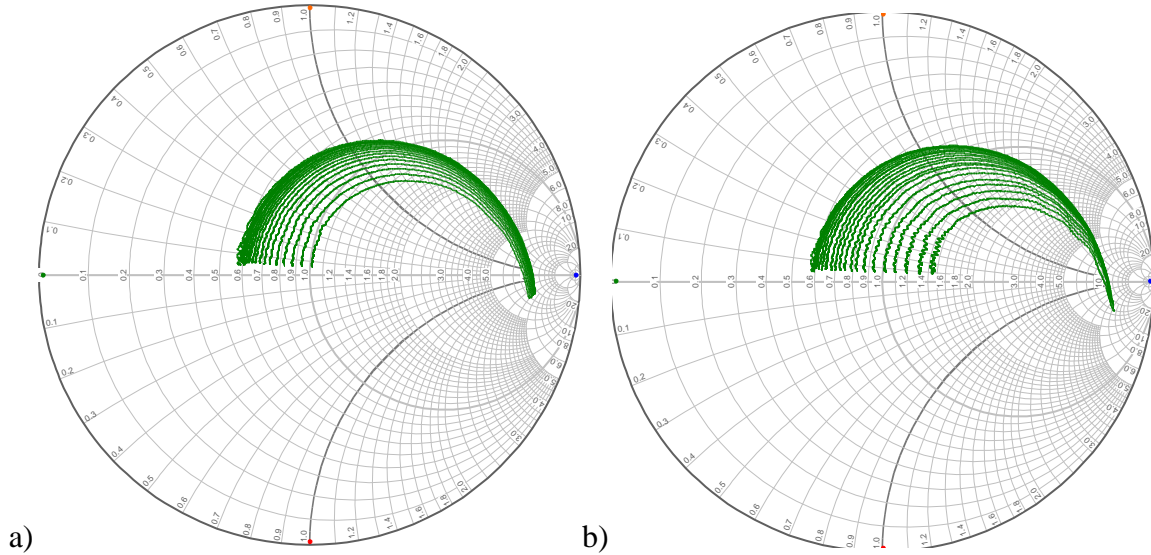
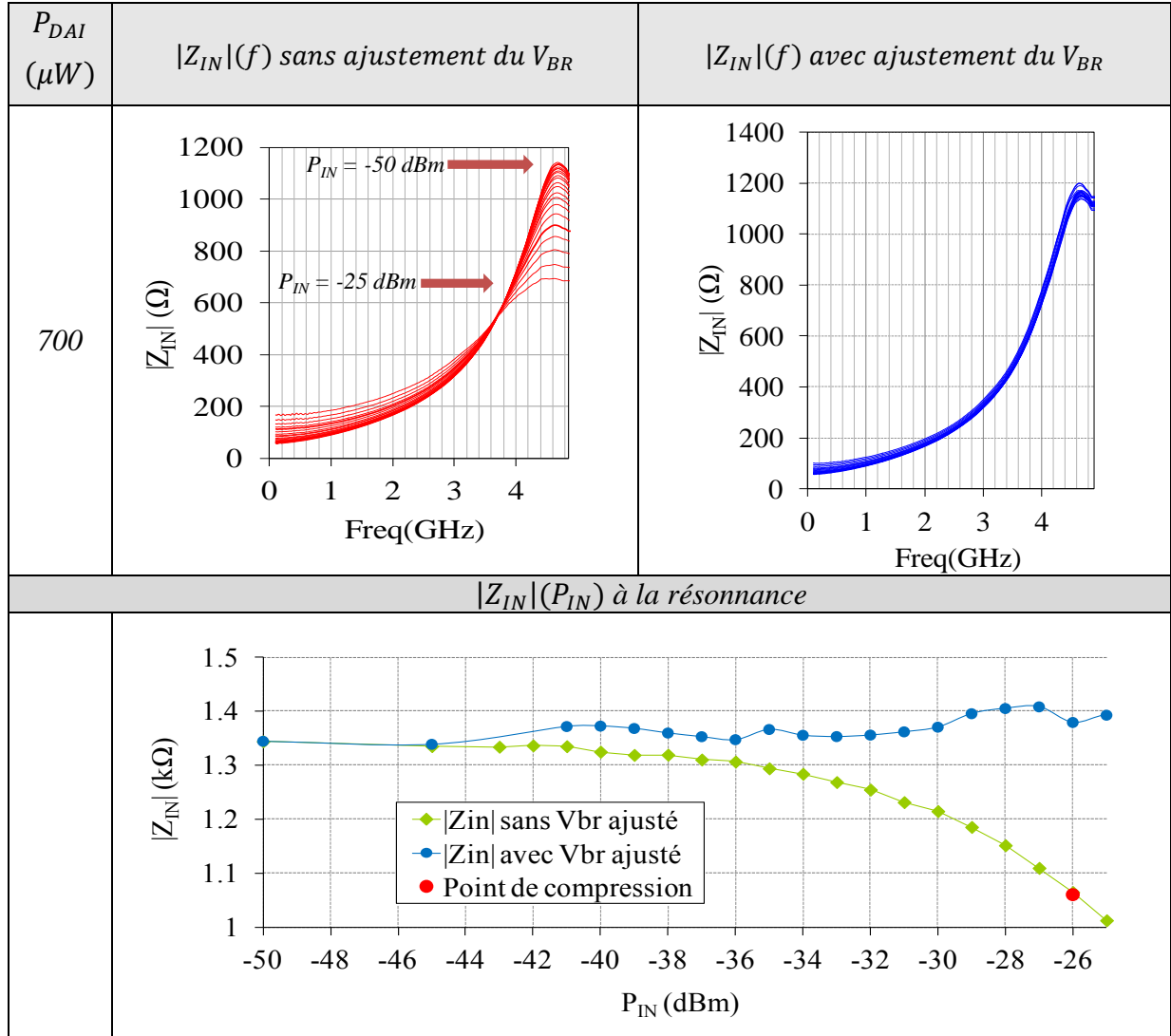


Figure 2-34. *Mesure du S_{11} sans ajustement (a) et avec ajustement (b) du V_{BR} en fonction de la puissance d'entrée P_{IN} .*

Pour une puissance donnée P_{IN} la tension V_{BR} est modifiée afin d'obtenir à la résonance le même module d'impédance qu'en conditions petit signal. On constate alors que l'impédance fréquentielle est globalement conservée en haute fréquence. Les pertes basses fréquences augmentent néanmoins. La re-polarisation effectuée pour maintenir l'impédance à la résonance n'est pas pertinente pour des fréquences éloignées de la résonance ou l'impédance de la DAI est faible. Ceci explique l'évolution des pertes basses fréquence en fonction de P_{IN} . Enfin, pour des puissances élevées, la compression de l'inductance induit un décalage de la fréquence de résonance qui ne peut pas être corrigé par la re-polarisation de M_3 . L'allure de l'impédance fréquentielle de la DAI associée aux courbes de S_{11} ci-dessus est illustrée ci après dans le Tableau 2-22.

Tableau 2-22. Impédance fréquentielle en fonction de la puissance P_{IN} pour $P_{IN} \in [-50\text{dBm} ; -25\text{dBm}]$ et évolution de $Z_{IN}(P_{IN})$ à la résonance



Cette technique permet donc de parer à la compression de la DAI. Pour qu'elle soit mise en œuvre elle nécessite la connaissance de la puissance au borne de la DAI. La mise en œuvre de cette re-polarisation dynamique ne serait donc possible qu'en mettant en œuvre une boucle *AGC-RSSI* (*Automatic Gain Control* – Contrôle de gain automatique & *Received Signal Strength Indication* – Indication de puissance du signal reçu) qui soit capable de générer une tension V_{BR} en fonction de la puissance du signal reçu. Cette étape nécessite des travaux supplémentaires et nous nous contentons ici de mentionner cette approche est nécessaire pour générer correctement V_{BR} . Il s'agit d'ailleurs d'un système couramment utilisé dans les récepteurs radio, notamment pour adapter le gain du LNA en fonction de la présence ou non de bloqueurs dans la bande. Tout comme la compensation de la variation technologique, le

contrôle précis de V_{BR} pour l'amélioration du point de compression nécessite une complexification du circuit et du système de calibration nécessaire à son fonctionnement.

Enfin, il a été enfin vérifié que la technique fonctionnait également avec un courant supplémentaire dans la résistance négative ($I_Q = 100\mu A$) pour augmenter l'impédance à une valeur de $1.9k\Omega$ à la résonance :

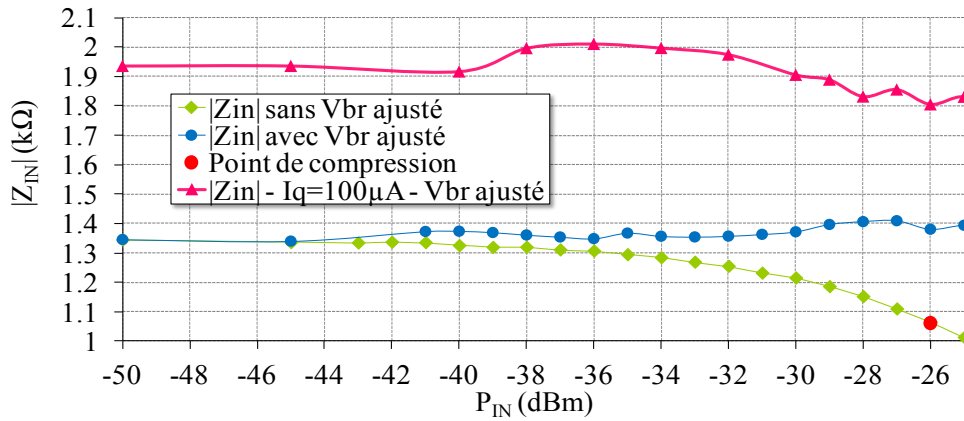


Figure 2-35. Compression de $|Z_{IN}|$ à la résonance avec et sans ajustement du V_{BR}

Il est donc théoriquement possible de linéariser la charge de la DAI en jouant sur la polarisation de la résistance différentielle. Les résultats obtenus ici avec un ajustement fin de la tension V_{BR} sur un prototype ne sont pas suffisants pour envisager l'utilisation du circuit sans boucle automatique de calibration de V_{BR} . Ces résultats nous ont cependant conduit à envisager une autre approche pour linéariser la DAI sans avoir recours à une boucle de contrôle. Nous proposons ci-après une technique basée sur une contre réaction linéarisante dans le cadre d'une tension V_{BR} fixe.

2.2.1. Techniques de linéarisation de la DAI.

2.2.1.a. Origine de la distorsion – Modélisation simplifiée

Les résultats précédents nous ont poussés à étudier de façon simplifiée les mécanismes de distorsion à l'intérieur du circuit DAI étudié. Nous avons considéré le cas des amplificateurs non-linéaires contre-réactionnés par une boucle linéaire pour modéliser la DAI. Le transistor MOS de gyrateur M_1 constitue un montage grille commune non linéaire dont l'entrée non-inverseuse (terminal de grille) reçoit une contre réaction positive dont le gain est noté f . Dans le cas de la DAI, ce gain de contre réaction est égal à l'unité. Cette représentation de la DAI est illustrée sur la Figure 2-36.

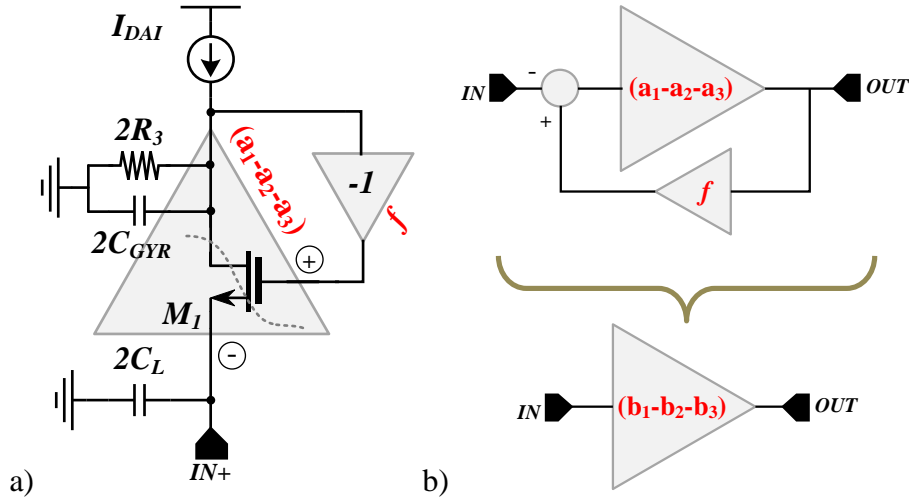


Figure 2-36. a). Circuit DAI vu comme un montage grille commune avec contre réaction positive en tension sur la grille. b) Transformation d'un circuit non linéaire à contre réaction en un circuit non-linéaire sans contre réaction.

Pour quantifier la distorsion petit signal du circuit DAI ainsi représenté on considère la notion d' IIP_3 plutôt que de considérer le point de compression. Ceci permet de décrire la non-linéarité dans le cadre plus large de la distorsion à faible niveaux de puissance. Le MOS M_1 étant polarisé à courant constant, on utilise le même type de décomposition que celle présentée dans l'état de l'art en Partie 1 (§ 1.2.5.a – page 31) soit le cas d'un transistor polarisé à courant constant. On approxime donc la non-linéarité du montage grille commune constitué de M_1, C_{GYR}, R_3 à l'aide d'une décomposition en série de Taylor de coefficients (a_1, a_2, a_3) :

$$V_{OUT} \cong a_1 V_{IN} + a_2 V_{IN}^2 + a_3 V_{IN}^3 \quad (2-39)$$

$$\frac{1}{V_{IIP3}^2} \cong \frac{3}{4} \left| \frac{a_3}{a_1} \right|, \frac{1}{V_{IIP2}^2} \cong \left| \frac{a_2}{a_1} \right| \quad (2-40)$$

Le terme a_1 dans (2-39) représente le gain linéaire du montage. On néglige dans cette analyse l'influence du pôle lié à C_{GYR} . A l'aide des résultats présentés dans [32] et [34] et de l'équation (2-40), on peut à présent lier la distorsion petit signal de la DAI à celle du montage grille commune qui la constitue tel que décrit dans la Figure 2-36. On obtient alors la formulation suivante :

$$\frac{1}{V_{IIP3-DAI}^2} = \frac{1}{\left(1 - \frac{g_{m1}}{2g_{DS3}}\right)^3} \cdot \frac{1}{V_{IIP3-CG}^2} + \frac{3}{2} \cdot \frac{\frac{g_{m1}}{2g_{DS3}}}{\left(1 - \frac{g_{m1}}{2g_{DS3}}\right)^4} \cdot \frac{1}{V_{IIP2-CG}^2} \quad (2-41)$$

$$V_{IIP_2-DAI} = \frac{1}{\left(1 - \frac{g_{m1}}{2g_{DS3}}\right)^3} \cdot V_{IIP_2-CG} \quad (2-42)$$

Le strict respect de la limite de stabilité ($2g_{DS3} = g_{m1}$) aboutit en théorie à une tension d' IIP_3 nulle (soit une distortion infinie même en faible signal). En réalité le pôle lié à la capacité C_{GYR} borne le gain en tension haute fréquence qui existe entre l'entrée du circuit et le drain du transistor M_1 (qui constitue le nœud interne de la DAI). L'amélioration de la linéarité pourrait donc être obtenue par un réglage non-optimal de la résistance différentielle (tension V_{BR}) afin de réduire ce gain interne identifié comme néfaste pour la linéarité (grâce aux équations (2-41) et (2-42)). L'ajustement de V_{BR} pour obtenir une valeur de R_2 non optimale mais favorable à la linéarité a été identifié en mesure dans le paragraphe précédent. Par cette action, nous avons limité le gain au nœud interne ce qui a eu une conséquence sur le point de compression. Ces conclusions propres au gain interne de la DAI sont similaires à celle avancées dans [30] concernant la linéarité nécessairement finie d'un gyrateur.

2.2.1.b. Contrôle de la contre réaction positive

Les informations du paragraphe précédent nous poussent donc à envisager une technique de linéarisation en tentant de réduire le gain de contre réaction positive néfaste à la linéarité. Cette nouvelle approche a été testée en simulation sur un circuit de DAI dont le dimensionnement diffère du circuit réalisé précédemment. La nouvelle géométrie des composants de la DAI dans ce paragraphe privilégie la linéarité en utilisant un courant de polarisation plus élevé et une taille de transistor de gyrateur plus faible afin de travailler à un niveau d'inversion plus élevé (overdrive). La longueur de grille des MOS a été également augmentée à 90nm, pour également privilégier la linéarité.

Tableau 2-23. Paramètres du circuit DAI simulé pour tester les techniques de linéarisation.

PARAMETRE	VALEUR
$W_{1,2}$	$4 \mu m$
$L_{1,2}$	$90 nm$
C_{GYR}	$50 fF$
$V_{GS,DS}(M_1)$	$460 mV$
$V_{GS,DS}(M_2)$	$450 mV$
I_{DAI}	$2 \times 400 \mu A$
I_Q	$0 \mu A$
W_3	<i>résistance idéale</i>

On limite ici l'étude à la non-linéarité du gyrateur avec sa résistance négative. Nous savons a présent que la non-linéarité de la résistance différentielle du MOS M_3 a un impact important sur la linéarité de la DAI. Toutefois la prise en compte de ce fait nécessite certainement une complexification du circuit pour générer dynamiquement une tension V_{BR} optimale. Nous envisageons ici de maximiser la linéarité intrinsèque du gyrateur afin d'éviter une telle complexification. On suppose ainsi que la conception de la résistance de stabilité (transistor M_3) peut être améliorée pour maximiser la linéarité à V_{BR} constant. L'utilisation de techniques similaires à celles mises en œuvre dans les interrupteurs CMOS utilisés au niveau des antennes de récepteur radio [35] permet de concevoir une telle résistance différentielle. L'analyse qui suit est donc restreinte à l'étude d'une DAI dont le MOS M_3 est remplacé par une résistance différentielle idéale. L'impédance de la DAI obtenue à l'aide du dimensionnement du Tableau 2-23 présente les caractéristiques suivantes :

Tableau 2-24. Paramètres AC de la DAI du Tableau 2-23

$P_{DAI}(\mu W)$	$g_{m1}(mS)$	$g_{m2}(mS)$	L_P (nH)	C_L (fF)	F_{RES} (GHz)	$R_{//}$ (k Ω)	Q (U.A)
800 ($I_Q=0\mu A$)	2.97	3.00	17.55	230	2.5	1.74	6.33

On obtient donc une DAI dont la consommation est augmentée mais toujours avec une puissance inférieure au milliwatt; la capacité de résonance nécessaire pour centrer la charge à 2.5GHz est assez large pour s'accommoder des parasites capacitifs en dépit de la valeur élevée de l'inductance à la résonance. Enfin l'impédance à la résonance est supérieure à 1k Ω conformément aux spécification initiales. Le circuit correspond à une DAI ayant un facteur de qualité faible (<7). Le principe de la technique présentée ici est d'agir sur l'excursion du v_{GS} dynamique que subit le transistor MOS du gyrateur grâce à une contre réaction négative sur la tension de grille de M_1 . On limite donc le gain en tension au niveau de la grille de ce transistor. Un atténuateur en tension sous forme de pont capacitif est ajouté à la place du croisement grille-drain des MOS de gyrateur (Figure 2-37). Nous avons privilégié un atténuateur capacitif pour les raisons suivantes :

- Pour découpler en DC la tension de drain de la tension de grille. Ceci nous donne plus de flexibilité dans le choix de la polarisation du MOS.
- Un pont diviseur capacitif est moins bruyant qu'un pont diviseur résistif.

Il est préférable d'utiliser de faible valeur de capacités MOM dont les facteurs de qualité sont avantageusement plus élevés et qui permettent pour limiter l'encombrement surfacique de l'atténuateur.

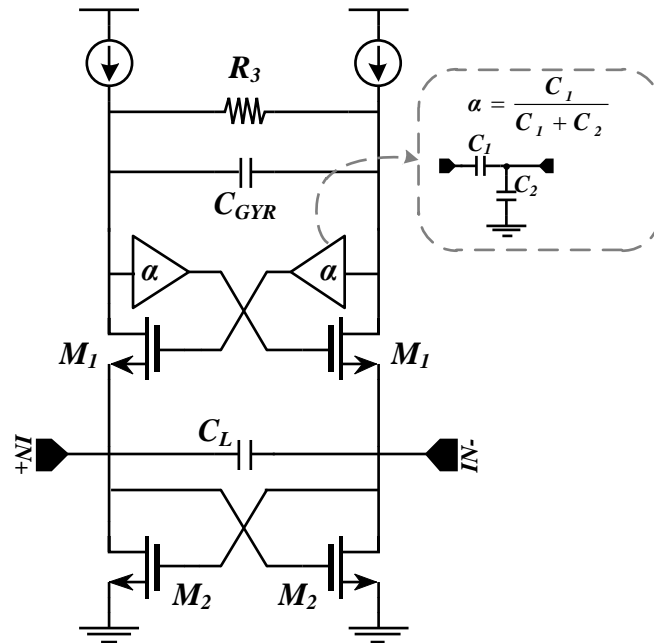


Figure 2-37. Schéma d'une DAI avec atténuateur capacitif de contre réaction.

En faisant varier le rapport d'atténuation noté α , on diminue l'excursion de v_{GS} en tension autour du point DC. L'excursion en v_{DS} quant à elle n'est pas affectée puisque l'on se place toujours en limite de stabilité, avec une valeur équivalente de R_2 faible. On considère ainsi que les non linéarités dues au g_{DS} du transistor sont moins importantes que celles introduites par le g_m du transistor [32]. Cette hypothèse paraît correcte étant donné les compressions de g_{DS1} et de g_{DS2} illustrés dans le Tableau 2-18 page 56. Les équations caractéristiques de l'impédance de la DAI dépendent désormais du nouveau paramètre α .

Tableau 2-25. Equations petit signal de la DAI avec ATTENUATEUR CAPACITIF

EQUATIONS PETIT SIGNAL DU MODELE IDEAL	EQUATION PETIT SIGNAL DU MODELE AVEC PARASITES
$G_1 = 2(g_{m1} - g_{m2} + g_L) \quad (2-43)$	$G_1 = 2(g_{m1} - g_{m2} + g_L + g_{DS1} + g_{DS2} + g_{DS4}) \quad (2-47)$
$L_2 = \frac{2C_{GYR}}{\alpha(g_{m1}^2)} \quad (2-44)$	$L_2 \approx \frac{2C_{GYR2}}{(\alpha g_{m1}^2 - g_{DS1}^2)} \quad (2-48)$
$G_2 = \frac{2g_{m1}^2}{2g_{DS3} - \alpha g_{m1}} \quad (2-45)$	$G_2 = \frac{2g_{m1}^2}{2g_{DS3} - \alpha g_{m1} + g_{DS1} + g_{DS4}} \quad (2-49)$
$C_1 = C_L/2 \quad (2-46)$	$C_1 = (C_L + C_{GS2})/2 \quad (2-50)$
	$C_{GYR2} \approx C_{GYR} + C_{GS3} + C_{D4} \quad (2-51)$

La nouvelle condition de stabilité s'exprime alors de la façon suivante :

$$2g_{DS3} = \alpha \cdot g_{m1} - g_{DS1} - g_{DS4} \quad (2-52)$$

Le rapport d'atténuation α introduit une diminution du facteur de qualité via une augmentation de l'inductance L_2 sans que la résistance parallèle équivalente $R_{//}$ soit modifiée. Ainsi l'utilisation d'un atténuateur de plus en plus élevé tend à transformer une impédance de DAI sélective (Q élevé) en une impédance de même module large bande (Q faible).

Pour la géométrie étudié ici, une valeur de α variant entre 0.3 et 1.0 par pas de 0.1 aboutit à une impédance fréquentielle de la DAI illustrée par la Figure 2-38. Pour la valeur minimale de $\alpha = 0.3$, du fait de la diminution du facteur de qualité, la rejection de signaux à 1GHz est 12dB plus faible que dans le case où $\alpha = 1.0$. Ceci illustre l'inconvénient en sélectivité d'un facteur de qualité Q faible.

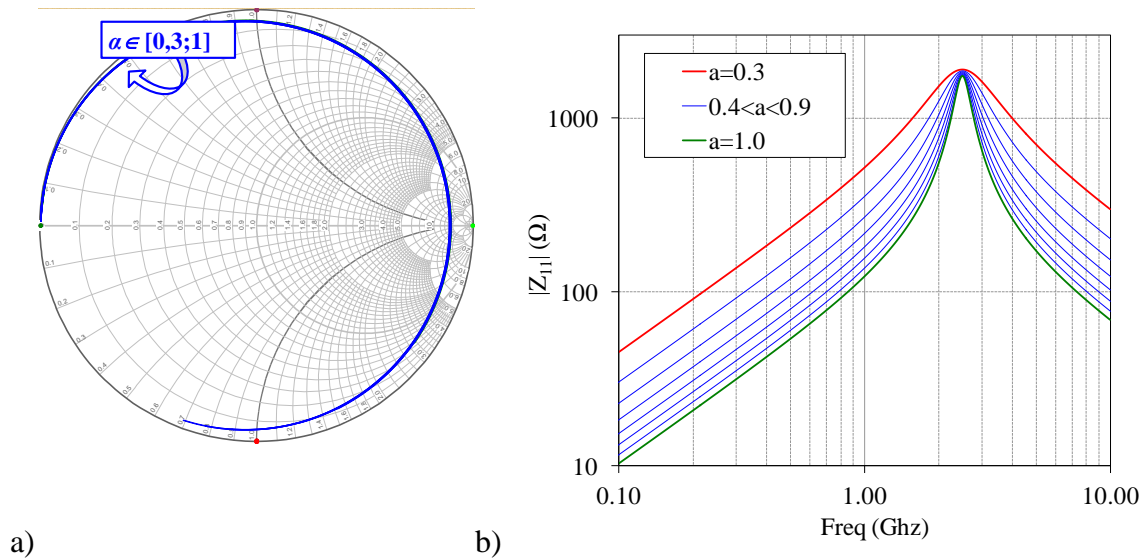


Figure 2-38. Evolution de l'impédance de la DAI en fonction de l'atténuation α . a) Abaque de Smith du S_{11} b) Module de Z_{IN} en fréquence

Quelque soit la valeur de α , le pôle fixé par la capacité de gyrateur limite également le niveau de gain à la fréquence de résonance ($f = 2.5\text{GHz}$) et donc la dégradation de la linéarité associée à un gain trop élevé (Figure 2-39-a) Ce gain en tension au niveau du drain de M_1 n'est pas impacté par l'atténuateur capacitif. La Figure 2-39-b illustre quant à elle la réduction du facteur de qualité et l'augmentation de l'inductance au fur et à mesure que l'atténuation α augmente. Lorsque $\alpha = 0.6$ l'inductance de la DAI est doublée. La modification de α ne modifie pas notablement la valeur de $R_{//}$.

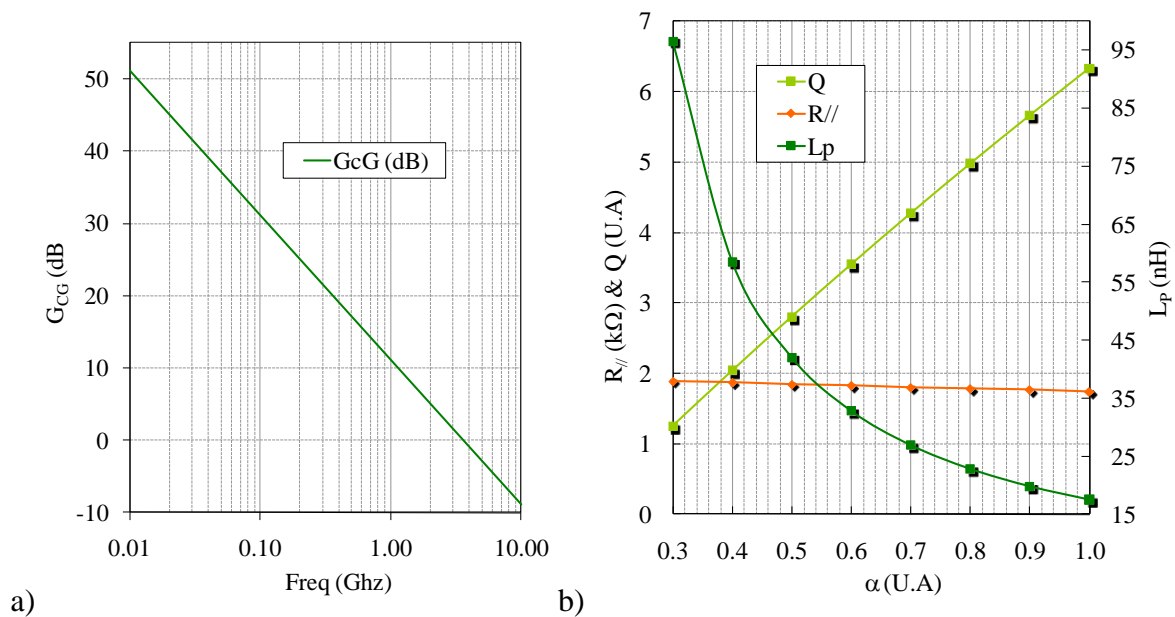


Figure 2-39. a) Gain fréquentiel du montage grille commune interne à la DAI pour α compris entre 0.3 et 1 b) Effet du réglage de α sur l'impédance de la DAI ($0.3 < \alpha < 1$)

Si l'on représente maintenant l'effet de l'atténuateur sur la compression de la transconductance, on constate que la dynamique en puissance admissible par le MOS est sensiblement augmentée. La compression de g_{m1} pour trois valeurs de α est détaillée sur la Figure 2-40 ci-dessous.

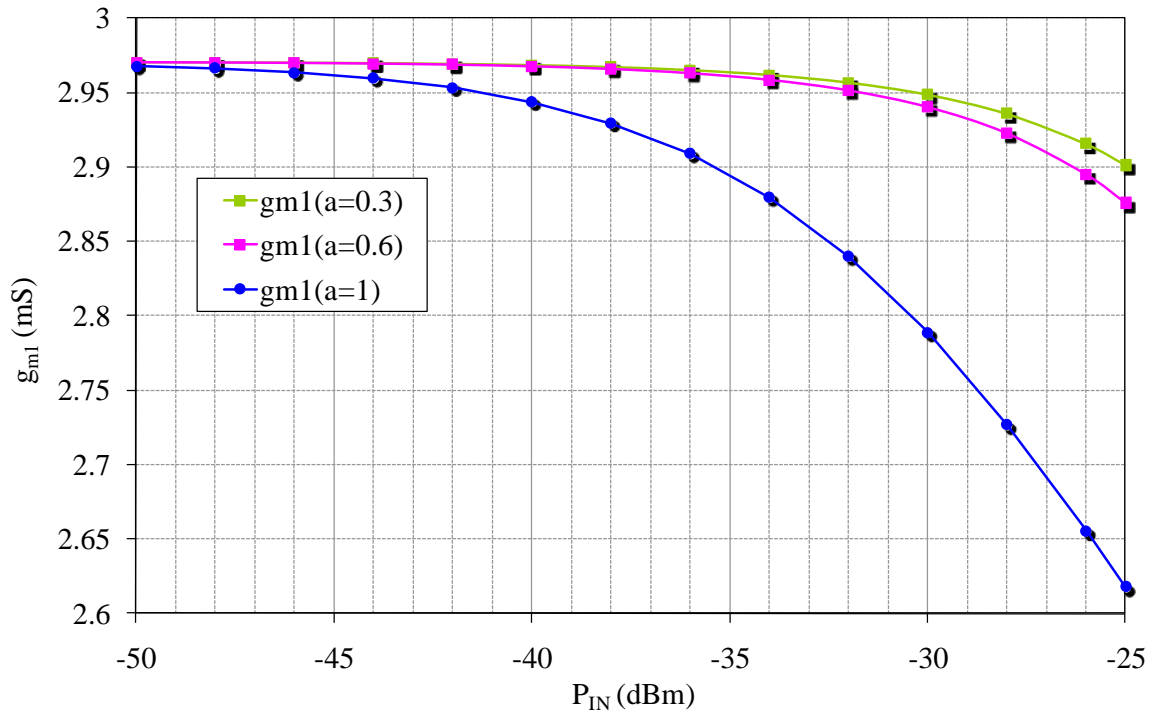


Figure 2-40. Simulation de la compression de g_{m1} pour $\alpha \in \{0,3|0,6|1\}$ en fonction de P_{IN} (dBm) (de -50dBm à -25dBm)

Enfin la conséquence directe de cette linéarisation de g_{m1} est la linéarisation du module de l'impédance à la résonance. Pour $\alpha = 0.3 ; 0.6$ le point de compression d'une charge de module supérieur à $1.5k\Omega$ est ramené à une valeur au moins égale à -25dBm (Figure 2-41). Le point de compression a été ainsi amélioré de 8dB au prix d'une sélectivité réduite mais sans augmenter la consommation électrique.

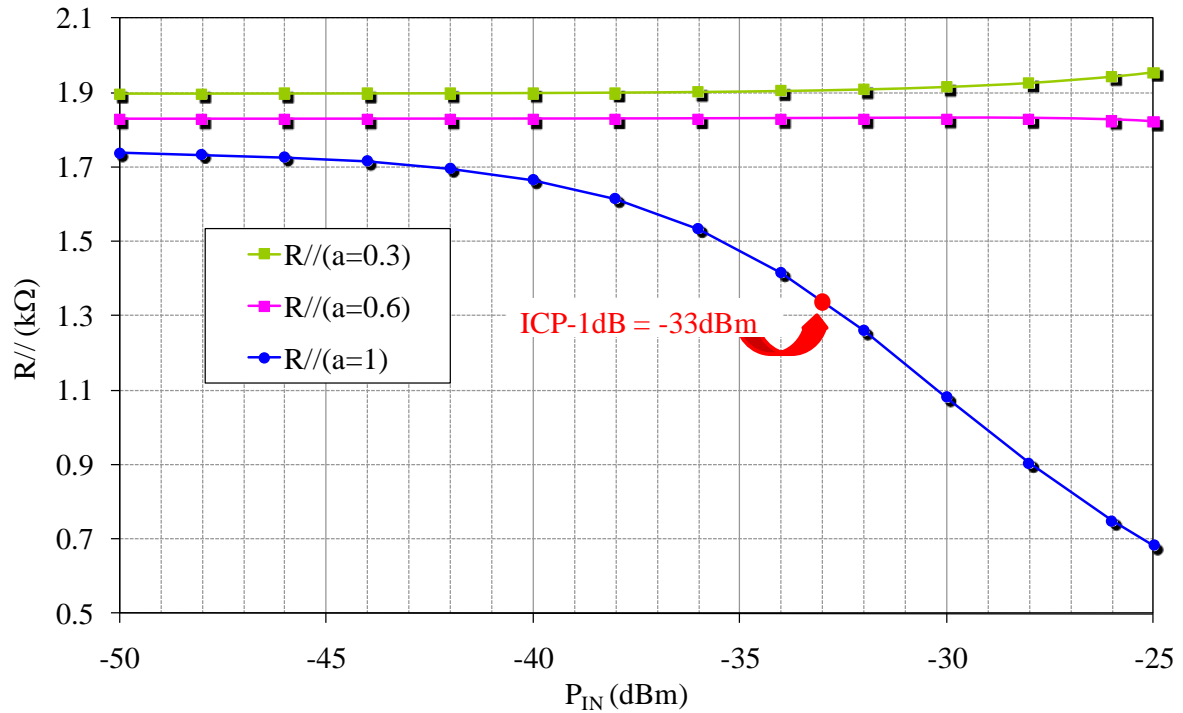


Figure 2-41. Compression de l'impédance à la résonance ($R_{//}$) en fonction de la puissance du signal RF (P_{IN} (dBm)) pour des atténuations $\alpha = 0,3$; $0,6$ et $1,0$.

Cette amélioration du point de compression s'illustre également par une amélioration de la distorsion en faible signal. En effet bien que l'on ne modifie pas le gain de grille commune responsable de la non linéarité (l'impédance de la DAI en basse fréquence se situe toujours au bord de l'abaque de Smith) on réduit l'excursion dynamique du v_{gs} suffisamment pour limiter la distorsion en signal faible et voir apparaître une amélioration de l' IIP_3 (Figure 2-42) :

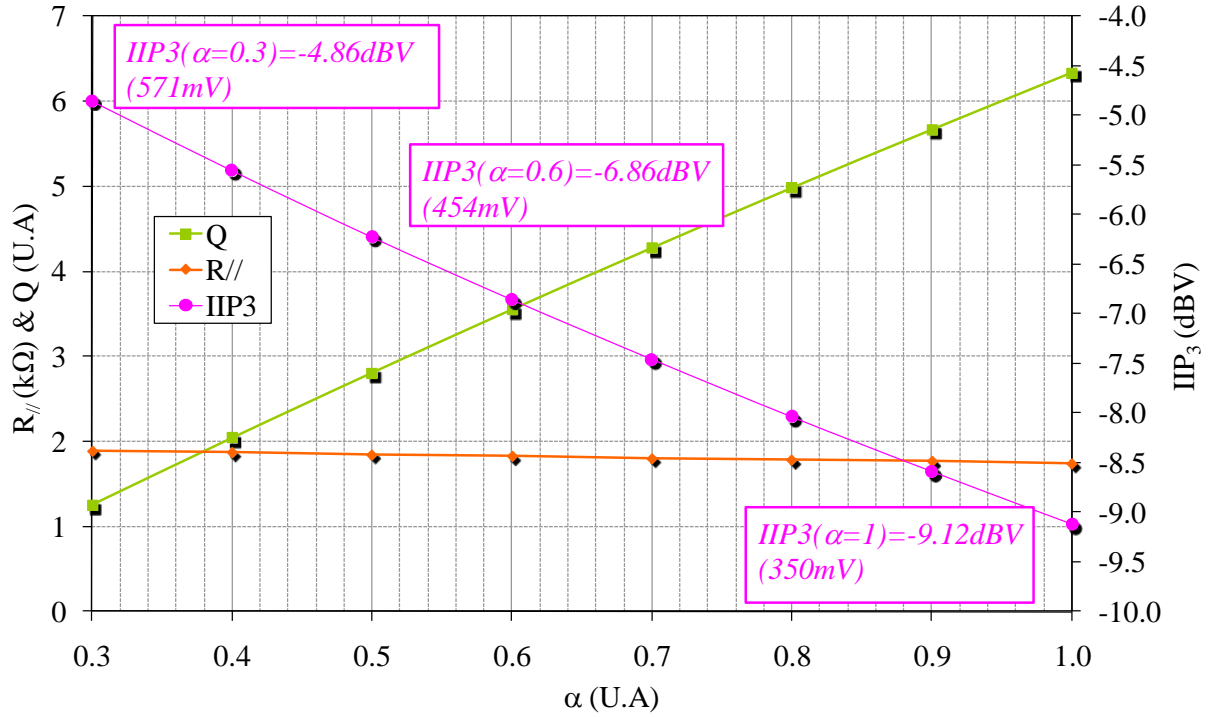


Figure 2-42. Estimation de l' IIP_3 en tension de la DAI pour différentes atténuation α comprises entre 0,3 et 1,0.

L'amélioration de l' IIP_3 est obtenue une nouvelle fois au détriment de la sélectivité. La valeur de $R_{//}$ reste cependant constante. Pour accroître la plage dynamique de fonctionnement linéaire de la DAI, l'utilisation d'un montage cascode permettrait de s'affranchir en partie des non-linéarités lié au g_{DS} du MOS de gyrateur. Cependant, cette approche est limitée par le choix d'une tension d'alimentation faible en comparaison des tensions de seuil associée à cette technologie. L'utilisation d'un réglage non-optimal de R_2 pour limiter le gain au nœud interne responsable de la non linéarité aurait également pour conséquence de diminuer le facteur de qualité au travers de pertes séries plus importantes.

Nous avons montré ici qu'il était possible de linéariser le gyrateur d'une DAI pour en augmenter le point de compression au détriment de la sélectivité de la charge. Cette approche aboutit à une linéarisation de la charge à consommation constante grâce à une contre réaction négative qui linéarise la transconductance g_{m1} . Associé à une résistance différentielle polarisée à V_{BR} fixe - la plus linéaire possible - il est alors envisageable d'obtenir une DAI dont la linéarité ne requerrait pas de boucle complexe en linéarisant la charge par action sur la tension V_{BR} . Le contrôle précis de V_{BR} semble néanmoins nécessaire pour parer à l'effet néfaste des variations technologiques que nous avons souligné précédemment.

La linéarisation obtenue en terme de point de compression de la charge est de 8dB ce qui amène la compression entrée de cette impédance à une puissance de -25dBm. Il reste cependant des limitations importantes en termes de linéarité pour envisager l'utilisation d'une DAI comme charge d'un LNA. Compte tenu la spécification de la norme ZigBee qui stipule un point de compression en entrée de -20dBm (cf. Chapitre 1-Tableau 1-1) et compte tenu d'un gain de LNA en entrée de 10 à 15dB, le point de compression en sortie du LNA pour un récepteur ZigBee serait alors situé entre -10dBm et -15dBm. Ces valeurs sont sensiblement plus élevées que l'amélioration que nous proposons avec cette technique de linéarisation pour la consommation envisagée. D'autre part les sacrifices nécessaires en termes de sélectivité de la charge rendent l'utilisation de la DAI comme élément filtrant peu attractive au regard de la consommation électrique associée à ce circuit.

2.3. Conclusion sur la conception d'une DAI

Dans ce chapitre, nous avons pu mettre en évidence les avantages et inconvénients inhérents aux structures d'inductance active et plus particulièrement dans des contraintes de consommation réduite. Les caractères très séduisants de ces structures comme les hauts facteurs de qualité et le faible encombrement permettaient d'envisager leur utilisation dans des amplificateurs à transconductance sur des technologies agressives ceci malgré leur faible performance en bruit [30].

Des solutions ont été proposées autour d'un circuit d'IA différentielle à faible consommation afin de permettre une robustesse aux variations technologiques ainsi qu'une amélioration de la linéarité de ce circuit dans le cadre d'une utilisation en charge. Néanmoins les efforts fournis afin d'améliorer la linéarité à consommation réduite ont conduit à des solutions dégradant les performances initialement attractives soit en terme de consommation soit en terme de sélectivité sans toutefois atteindre des niveaux compatibles avec l'application envisagée. Il faut toutefois noter que des études intéressantes ont récemment été publiées [28]-[31] initiant des pistes d'amélioration de la linéarité et du facteur de bruit de ces dispositifs invitant à de plus amples analyses afin d'en améliorer les performances.

Etant donné que la seule amélioration de la linéarité de la DAI n'a pas été atteinte dans des objectifs compatibles avec la réalisation d'un LNA basse consommation, et eu égard à l'absence de solution améliorant significativement le compromis consommation-bruit-linéarité, l'utilisation de la DAI pour réaliser des LNA faible bruit a été abandonnée. La suite des travaux de thèse s'est alors orienté vers la conception d'un amplificateur faible bruit basé sur l'utilisation de boucles d'anté-actions destinées à améliorer le compromis de performances d'un LNA différentiel toujours dans le contexte d'une consommation réduite. Dans cette nouvelle orientation et bien que l'utilisation d'inductance passive ait une nouvelle fois été écartée pour des raisons d'encombrement silicium, l'implémentation d'une inductance active au sein des LNA proposé dans le chapitre suivant n'a pas non plus été envisagé.

<i>Chapitre 3.</i>	<i>Conception d'un LNA sans inductance en technologie CMOS 130nm.</i>	<i>75</i>
--------------------	---	-----------

PARTIE 1. ETAT DE L'ART DES LNA SANS INDUCTANCES 75

1.1. Techniques de conception de LNA avec inductances.....75

1.2. Techniques de conception de LNA sans inductances76

1.2.1. LNA à contre réaction résistive76

1.2.1.a. LNA à contre réaction résistive pure.....77

1.2.1.b. LNA à contre réaction par suiveur de tension.....78

1.2.2. LNA à base de montage grille commune80

1.2.2.a. Montage de base80

1.2.2.b. Cas particulier du LNA GC utilisant une technique de gm—boost83

1.2.3. LNA à annulation de bruit.....86

1.2.4. Conclusion sur l'état de l'art des LNA86

PARTIE 2. CONCEPTION D'UN LNA DIFFERENTIEL SANS INDUCTANCE ET BASE CONSOMMATION POUR LA BANDE ISM EN CMOS 130NM 87

2.1. Choix de la topologie.....87

2.1.1. Objectifs de performance87

2.1.2. LNA a gm—boost basse consommation.....88

2.1.2.a. Adaptation en entrée.90

2.1.2.b. Gain et bande passante92

2.1.2.c. Bruit du LNA.....95

2.1.2.d. Linéarité du LNA.....99

2.1.2.e. Stabilité haute fréquence.103

2.1.2.f. Sensibilité aux variations technologiques.....105

2.2. Implémentation et mesure du LNA105

2.2.1.a. Mesures des performances du LNA107

2.3. Version 2 du LNA à gm—boost basse consommation.113

2.3.1.a. Amélioration de la bande passante.....114

2.3.1.b. Impédance d'entrée.116

2.3.1.c. Amélioration de la stratégie de polarisation.....117

2.3.1.d. Effet de la boucle de polarisation sur la linéarité du LNA.121

2.3.1.e. Optimisation du buffer de test.....123

2.3.1.f. Effet des performances en bruit du buffer sur la caractérisation du LNA. 125

2.4. Implémentation et mesure du LNA version 2.....127

2.4.1.a. Mesure des performances du LNA V2.....128

2.5. Conclusion sur la conception de LNA sans inductances.133

Chapitre 3. Conception d'un LNA sans inductance en technologie CMOS 130nm.

Partie 1. Etat de l'art des LNA sans inductances

1.1. Techniques de conception de LNA avec inductances

L'adaptation en entrée dans le cas du LNA bande étroite utilise généralement la technique de dégénérescence inductive pour créer une impédance d'entrée présentant une partie réelle proche de 50Ω [36]. Cette technique est illustrée en Figure 3-1, et l'impédance d'entrée obtenue est donnée par (1-1). La dégénérescence inductive a été très largement utilisée étant donnée qu'elle permet également d'adapter en bruit le LNA en présentant en entrée l'impédance optimale de bruit [36]. Enfin l'utilisation d'inductances (de dégénérescence et en charge de sortie) permet d'obtenir un fonctionnement large signal plus linéaire dans une structure à faible consommation étant donné l'absence de chute de potentiel aux bornes de ces inductances.

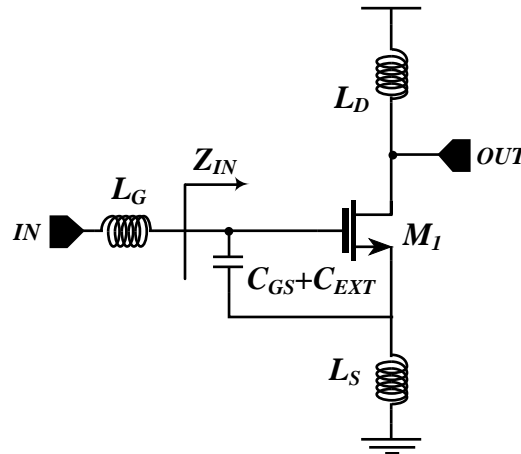


Figure 3-1. LNA a dégénérescence inductive

$$Z_{IN} = \frac{g_{m1}L_S}{C_{GS}} + L_S p + \frac{1}{(C_{GS})p} \quad (3-1)$$

Le LNA de la Figure 3-1 est le plus flexible en terme de configuration pour une consommation donnée. L'inductance de dégénérescence permet d'effectuer une adaptation complexe conjuguée pour l'adaptation en puissance et la capacité C_{EXT} permet d'ajuster l'impédance optimale de bruit pour une consommation donnée. L'adaptation entre l'antenne et le LNA est réalisée au travers d'une transformation d'impédance via L_G pour s'adapter autour d'une impédance Z_{IN} supérieure à 50Ω et généralement avec la limite d'une surtension en

entrée $Q_G = \sqrt{(Z_{IN}/50 - 1)} < 2$. Cette limite permet de parer aux problèmes de bande passante du réseau d'adaptation antenne-LNA et de linéarité dans le cas d'un gain en entrée élevé. Avec cette méthode, on parvient à atteindre le facteur de bruit minimum (F_{MIN}) pour une contrainte de consommation donnée.

Cependant, si l'on s'autorise l'utilisation d'inductances en plusieurs points du LNA, on obtient des circuits dont la surface silicium est largement occupée par les inductances [15]. Ce point devient rédhibitoire lorsque l'on considère l'implémentation d'un circuit dans une technologie avancée dont le prix par unité surfacique est très élevé.

En s'interdisant l'utilisation d'inductances, on renonce à la possibilité d'effectuer une adaptation simultanée en bruit et en puissance, ainsi qu'au caractère bande étroite des réseaux LC. On obtient donc des structures large-bande, plus bruyantes et potentiellement moins linéaires. Ces sacrifices sont compensés par le gain important sur l'encombrement surfacique.

1.2. Techniques de conception de LNA sans inductances

En l'absence d'inductance, il existe deux topologies connues de LNA sans inductances capables de présenter une basse impédance en entrée : Les LNAs à contre réactions et les LNA utilisant une structure de grille commune. Les deux structures présentent des compromis de performance différents.

1.2.1. LNA à contre réaction résistive

L'une des stratégies connues pour générer une basse impédance d'entrée consiste à exploiter le théorème de Miller pour une impédance de contre-réaction (noté Z_F pour *Feedback* ou contre-réaction) [37]

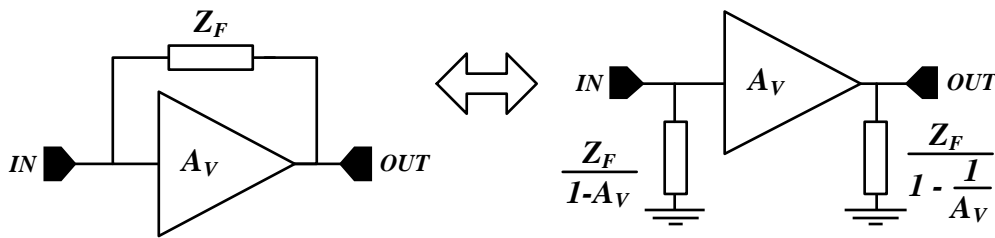


Figure 3-2. *Théorème de Miller sur la contre réaction – Cas du Feedback Shunt-Shunt*

Le courant de l'impédance de contre-réaction Z_F est fonction du gain en tension A_V de l'amplificateur. La configuration illustrée schématiquement en Figure 3-2 correspond à une

contre réaction parallèle-parallèle (*shunt-shunt*), laquelle abaisse simultanément l'impédance d'entrée et de sortie [37].

1.2.1.a. LNA à contre réaction résistive pure

En Figure 3-3 est représentée la contre réaction la plus simple à l'aide d'une résistance pure R_F (d'admittance notée g_F) autour d'un montage Source Commune (SC).

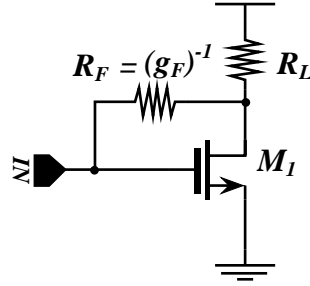


Figure 3-3. LNA à contre réaction résistive pure

Les différentes caractéristiques de ce type de circuit sont données dans le Tableau 3-1. Pour simplifier l'analyse, on ne considère pas les capacités parasites ainsi que les conductances finies du transistor M_1 .

Tableau 3-1. Caractéristiques du LNA de la Figure 3-3

CARACTERIS- TIQUE DU LNA	EXPRESSION THEORIQUE
Gain en tension	$A_V = -\frac{g_{m1} - g_F}{(g_L + g_F)} \quad (3-2)$
Impédance d'entrée	$Z_{IN}^{-1} = Y_{IN} \cong g_F(1 - A_V) \quad (3-3)$
Condition d'adaptation	$R_{F-ADAPT} = (g_{m1}R_L + 1)R_S - R_L \quad (3-4)$
Facteur de bruit (F) sans condition d'adaptation.	$F = 1 + \underbrace{\frac{\gamma g_{m1}}{R_S g_{m1}}}_{F_{M1}} + \underbrace{\frac{1}{R_S R_L g_{m1}^2}}_{F_{RL}} + \underbrace{\frac{4R_S}{R_F} \left(-\frac{1}{1 + \frac{R_F + R_S}{(1 + g_{m1}R_S)R_L}} \right)^2}_{F_{RF}} \quad (3-5)$
Facteur de bruit (F) avec condition d'adaptation.	$F = 1 + \underbrace{\frac{\gamma g_{m1}}{R_S g_{m1}}}_{F_{M1}} + \underbrace{\frac{1}{R_S R_L g_{m1}^2}}_{F_{RL}} + \underbrace{\frac{R_S}{R_F} \left(1 + \frac{1}{g_{m1}R_S} \right)^2}_{F_{RF}} \quad (3-6)$

IIP_3 du LNA	$IIP_{3-BF} \underset{R_F \gg R_S}{\approx} IIP_{3-BO} \cdot \sqrt{\left(1 + \left \frac{g_{m1} R_S R_L}{R_L + R_F}\right \right)^3} \quad [38] \quad (3-7)$
----------------	--

(*) où IIP_{3-BF} (resp. IIP_{3-BO}) représente l' IIP_3 en boucle fermé (resp. ouverte)

La contre réaction impacte le gain (3-2) tout en abaissant l'impédance d'entrée (3-3). Plus le gain du montage SC sera faible, plus la résistance R_F sera petite (3-4) et tendra à court-circuiter la sortie et l'entrée de l'amplificateur. Pour minimiser le facteur de bruit, un g_m élevé est nécessaire ainsi qu'une forte valeur de R_F . Ainsi, lorsque la consommation est faible (g_{m1} petit), la contribution de R_F au bruit total (F_{RF}) peut devenir importante alors que les termes F_{M1}, F_{RL} ne sont pas nécessairement faibles. Il devient dès lors difficile d'atteindre des facteurs de bruits inférieurs à 4dB [39]. Enfin la linéarité en terme d' IIP_3 est nécessairement améliorée du fait de la contre réaction négative que constitue R_F , cette amélioration est cependant modérée si l'on respecte rigoureusement l'adaptation sur 50Ω . L'équation (3-7) [38] détaille le lien qui existe entre la linéarité intrinsèque du montage SC et la linéarité obtenue en boucle fermée. Le circuit proposé en [40], propose une réalisation avec cependant une consommation électrique élevée. Le Tableau 3-2 résume les performances de ce circuit. Pour une application à très faible coût ou la consommation électrique n'est pas un critère important cette solution de LNA est envisageable. Cependant, cette structure simple et limitée de LNA à contre réaction purement résistive est peu implémentée dans la littérature du fait des multiples contraintes qui impactent le choix de R_f et la consommation.

Tableau 3-2. LNA de [40]

<i>Ref</i>	<i>A</i> (mm ²)	<i>P_{DC}</i> (mW)	<i>Gv</i> (dB)	<i>BW</i> (GHz)	<i>NF</i> (dB)	<i>S₁₁</i> (dB)	<i>IIP₃</i> (dBm)	<i>ICP</i> (dBm)
CMOS 90nm	0,12	18	12	0,4 – 1	4 – 4,5	–10	–16	–25

1.2.1.b. LNA à contre réaction par suiveur de tension

Afin d'atténuer les limites de la contre réaction résistive pure sur le gain, des travaux récents ([41], [42], [43]) font usage d'une boucle de contre réaction active. Dans [41]- (Figure 3-4), la contre réaction est réalisée via un montage suiveur de tension dégénéré par une résistance R_F . Ce montage permet de conserver une impédance de sortie élevée tout en ajoutant un autre degré de liberté (g_{m2}) pour le réglage de l'adaptation. L'adaptation en entrée est cependant toujours obtenue grâce à la contre réaction de R_F .

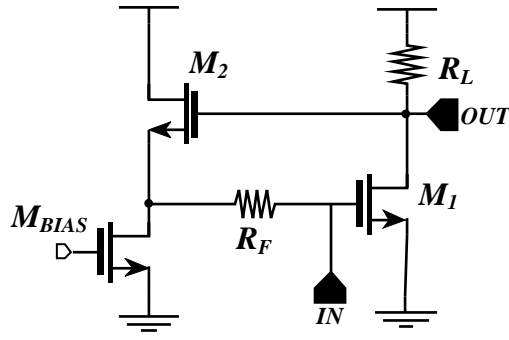


Figure 3-4. LNA à contre réaction résistive avec montage suiveur dégénéré par R_F .

Tableau 3-3. Caractéristiques du LNA de la Figure 3-4

METRIQUE DU LNA	EXPRESSION THEORIQUE
Gain en tension	$A_V \cong -g_{m1}R_L$ (3-8)
Impédance d'entrée	$Z_{IN}^{-1} = Y_{IN} = \frac{g_{m2}}{1 + g_{m2}R_F} \cdot \frac{1}{(1 - A_v)}$ (3-9)
Condition d'adaptation	$g_{m2-Adapt} = \frac{1}{(R_S \cdot (1 + g_{m1}R_L) - R_F)}$ (3-10)
Facteur de bruit (F) avec condition d'adaptation (3-10)	$F_{adapté} \approx 1 + \underbrace{\frac{\gamma g_{m1}}{g_{m1}R_S}}_{F_{M1}} + \underbrace{\frac{R_F}{R_S(1 + A_V)^2}}_{F_{RF}} + \underbrace{\frac{\gamma g_{m2}}{(1 + A_v)} \left(1 - \frac{R_F}{R_S(1 + A_v)}\right)}_{F_{M2}} + \underbrace{\frac{1}{g_{m1}R_S A_V}}_{F_{RL}}$ (3-11)
IIP_3	$IIP_3 \cong \left \frac{g_{m2}}{g'_{m2}} \right \cdot \frac{4\sqrt{2/3} \cdot (1 + A_V)}{\sqrt{\left (1 + A_V + R_S^{-1}R_F) \cdot (1 + A_V - R_S^{-1}R_F) \right ^3}}^{(*)} [41]$ (3-12)

(*) Avec g_{m2}' issu de la décomposition en puissance de $g_m(v_{gs})$ c.f [41]

Le gain du montage est sensiblement égal à celui du circuit SC simple, et la condition d'adaptation fait désormais intervenir la transconductance g_{m2} ainsi que la résistance R_F . L'expression du facteur de bruit (3-11) montre qu'il est préférable d'utiliser de faibles valeurs pour R_F . La linéarité quant à elle augmente avec la résistance R_F (diminution du terme en gras dans (3-12)). Ceci illustre un compromis bruit-linéarité sur la valeur de R_F . Le circuit suiveur ajoute un degré de liberté dans le réglage de l'adaptation même si la consommation électrique

est plus élevée à cause de la polarisation statique de M_2 . Les auteurs de [41] comparent à consommation équivalente et à gain constant les performances en linéarité d'un montage avec et sans la résistance R_F . Les résultats sont reproduits dans le tableau ci-dessous.

Tableau 3-4. LNA de [41] avec et sans R_F

PARAMETRES DE CONCEPTION	R_F (Ω)	NF (dB)	$IIP_3@1GHz$ (dBm)	$P_{DC}(mW)$	Gv & BW
$g_{m1} = 80mS$ $g_{m2} = 2.5mS$ $R_L = 100\Omega$	0	2,5	-14,7	9,2	16,5 dB & 6,5 GHz
$g_{m1} = 80mS$ $g_{m2} = 12mS$ $R_L = 100\Omega$	240	2,7	-4,3	9,7	

L' IIP_3 est largement amélioré (+10dB) avec l'utilisation de la résistance R_F alors que la dégradation du facteur de bruit n'est que de 0,2dB pour une consommation accrue de 5%.

Cependant la consommation reste élevée et il est communément admis que l'adaptation par contre réaction n'aboutit pas à de bonnes performances pour des consommations faibles [39]. La dégradation du bruit à cause de la contre réaction impose systématiquement une augmentation de la transconductance principale (g_{m1} dans la Figure 3-3 et la Figure 3-4), ce qui est néfaste à la faible consommation. Avec ce type de circuit, on a donc peu de possibilités pour efficacement réduire la consommation sans dégrader les autres performances.

1.2.2. LNA à base de montage grille commune

1.2.2.a. Montage de base

Le principe du montage en grille commune est d'attaquer le transistor par sa source afin de bénéficier de l'impédance en $1/g_m$ présentée par ce terminal pour adapter le LNA. Le courant dynamique absorbé en entrée est alors identique au courant principal de sortie du LNA. Le montage Grille Commune (GC) est illustré en ci après en Figure 3-5.

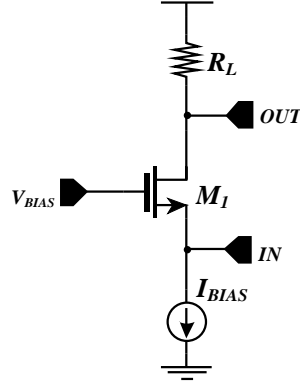


Figure 3-5. Montage grille commune de base

Les caractéristiques du montage GC de base sont résumées dans le Tableau 3-5 qui suit :

Tableau 3-5. Caractéristiques du LNA CG de la Figure 3-5

METRIQUE DU LNA	EXPRESSION THEORIQUE
Gain en tension	$A_v = g_{m1} R_L$ (3-13)
Impédance d'entrée	$Z_{IN}^{-1} = Y_{IN} = g_{m1}$ (3-14)
Condition d'adaptation	$g_{m1-adapt} = R_S^{-1}$ (3-15)
Facteur de bruit (F) sans la condition d'adaptation (3-15)	$F = 1 + \frac{\gamma_{gm1}}{g_{m1} R_S} + \frac{R_S}{R_L} \left(1 + \frac{1}{g_{m1} R_S} \right)^2$ (3-16)
Facteur de bruit (F) avec la condition d'adaptation (3-15)	$F = 1 + \gamma_{gm1} + \frac{4 R_S}{R_L}$ (3-17)
IIP_3	$IIP_3 \approx \left \frac{16 V_{OV}^2 (2 + \theta V_{OV})^2}{3 R_S} \right ^{(*)}$ (3-18)

(*) Où $V_{ov} = V_{gs} - V_{th}$ est la tension d'overdrive du MOS M_1

La caractéristique la plus importante de ce circuit est le couplage étroit qui existe entre le gain, l'adaptation et le bruit. La technique d'adaptation impose la relation (3-15) et le facteur de bruit ne peut pas être fortement diminué (3-17). Pour cette raison on décrit fréquemment le montage GC comme un montage intrinsèquement bruyant [44]. Le GC présente une impédance d'entrée large bande mais des effets de second ordre aboutissent à une partie imaginaire de Z_{IN} non nulle (cf. Annexe A.1). Parmi ses avantages, la structure GC présente une bonne isolation inverse [45] ainsi qu'une linéarité intrinsèque meilleure [39]. De façon similaire au montage source commune, il est aisé d'ajouter des boucles de contre réaction autour de l'amplificateur pour améliorer le compromis entre les performances.

Les techniques de contre réaction les plus courantes sont illustrées ci-dessous en Figure 3-6. Leurs effets sont résumés dans le Tableau 3-6 où l'on détaille, l'effet sur l'adaptation, le gain, le bruit et l' IIP_3 . Les contre-réactions agissent sur la tension v_{GS} du MOS de GC (contre réaction série) ou sur le courant absorbé en entrée (contre-réaction parallèle) [37].

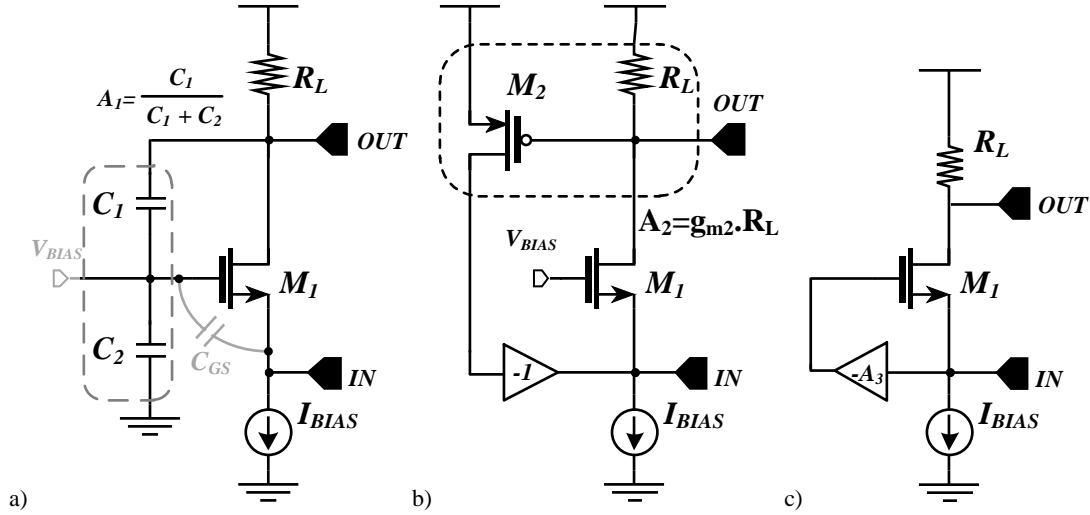


Figure 3-6. LNA a grille commune avec contre réaction série(a) parallèle (b) boucle d'anté-action g_m —boost (c).

Tableau 3-6. Effet des contre réactions sur les caractéristiques du LNA GC.

TYPE DE CONTRE REACTION GAIN ASSOCIE	$Z_{IN} \cong$	$G_v \cong$	$F_{adapté}$	$IIP_{3-adapté}$
Aucune	$\frac{1}{g_{m1}}$	$g_{m1}R_L$	$1 + \frac{\gamma}{\alpha} + \frac{2R_S}{R_L}$	IIP_{3-CG}
Série – Pont diviseur capacitif $A_1 = \pm \frac{C_1}{C_1 + C_2}$	$\frac{1 + A_1 g_{m1} R_L}{g_{m1}}$	$\frac{g_{m1} R_L}{1 + A_1 g_{m1} R_L}$	$1 + \frac{\gamma}{\alpha} \left(1 - \frac{A_1 R_L}{R_S}\right) + \frac{R_S}{R_L} \left(2 - \frac{A_1 R_L}{R_S}\right)^2$	$IIP_{3-CG} \times 1 + A_1 g_{m1} R_L ^3$
Parallèle – Suiveur PMOS $A_2 = \pm g_{m2} R_L$	$\frac{1}{g_{m1}(1 - A_2)}$	$g_{m1} R_L$	$1 + \frac{\gamma}{\alpha} (1 - A_2) + \frac{R_S}{R_L} (2 - A_2)^2$	IIP_{3-CG}
Série (g_m -boost) $A_3 \geq 1$	$\frac{1}{g_{m1}(1 + A_3)}$	$g_{m1} R_L (1 + A_3)$	$1 + \frac{\gamma/\alpha}{(1 + A_3)}$	$\approx \frac{IIP_{3-CG}}{(1 + A_3)}$

Avec de telles boucles, les degrés de liberté pour l'amélioration des compromis consommation, gain, adaptation, linéarité et bruit sont accrus [46], [45]. La plupart des LNA

basse consommation basés sur le montage GC utilise de telles boucles. Le cas particulier du g_m —boost a été largement publié car il améliore notablement la plupart des performances (à l'exception de la linéarité). Les LNA réalisés sur la base d'un montage GC offrent plus de flexibilité de conception et ont été vraisemblablement plus étudiés pour cette raison [45-47]

1.2.2.b. Cas particulier du LNA GC utilisant une technique de g_m —boost.

La technique de g_m —boost consiste à amplifier le v_{gs} du MOS du montage GC en pilotant simultanément en opposition de phase les terminaux de grille et de source du montage. Il s'agit d'une boucle d'anté-action série positive (*positive series feedforward*). La boucle est formée d'un gain inverseur, que l'on notera A_{BOOST} , connecté entre l'entrée et la grille du MOS du circuit GC (Figure 3-7).

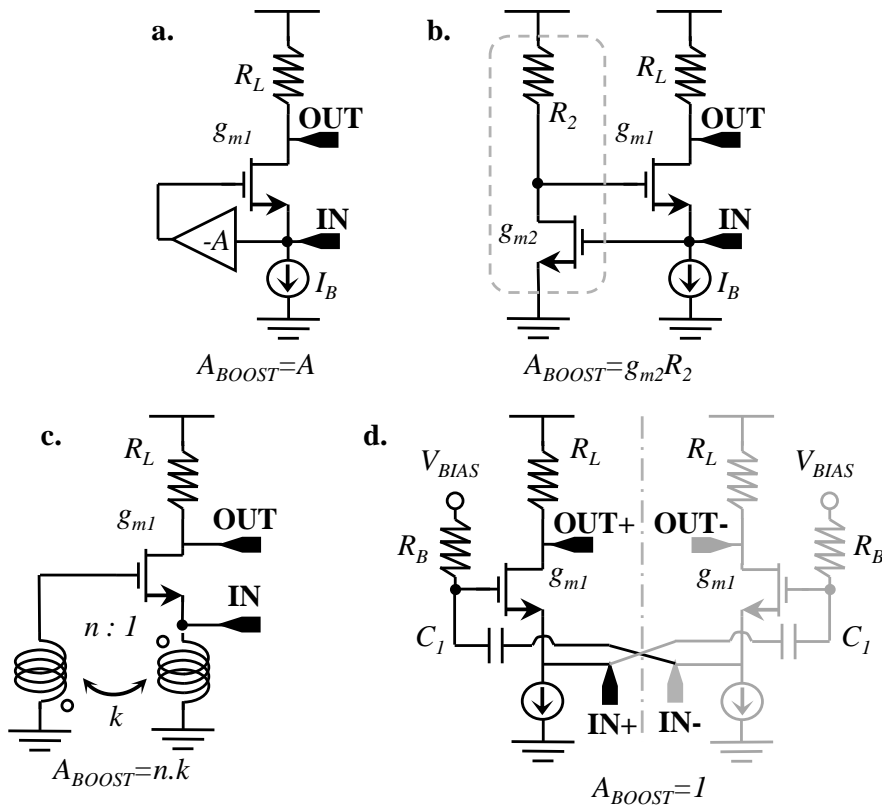


Figure 3-7. Implémentation de la technique de g_m —boost a): schéma générique, b): g_m —boost actif avec SC, c): g_m —boost avec une transformateur, d): couplage capacitif croisé

Les différentes techniques de la Figure 3-7 donnent lieu à plusieurs compromis. On peut utiliser une structure classique de gain actif basé sur un montage SC avec un budget de consommation dédié [34], [48]. Dans [49] le gain est obtenu grâce à un transformateur inductif connecté en entrée. Enfin la technique la plus populaire - car la plus simple- consiste

à tirer avantage des voies en opposition de phases dans un LNA différentiel et de coupler les grilles des MOS de GC aux entrées à l'aide de simples capacités [45],[50],[51],[52] et [53]. Cette technique nommée Couplage Capacitif Croisé (CCC) présente l'avantage d'être peu encombrante par rapport à la solution du transformateur inductif, et elle n'implique pas de consommation électrique supplémentaire contrairement aux réalisations basées sur un amplificateur auxiliaire actif. La technique de CCC est cependant limitée puisque d'une part elle ne peut qu'être utilisée que dans une topologie différentielle (nécessitant un balun en entrée du LNA) et d'autre part elle permet au mieux de doubler le v_{GS} du MOS principal (on néglige en général le pont diviseur capacitif introduit par la capacité de couplage considérée comme grande devant le c_{gs} du MOS). On limite donc A_{boost} à l'unité.

Avec le montage de la Figure 3-7.d on peut se rapprocher d'une consommation de l'ordre du milliwatt voire inférieure à 1mW. On retrouve donc ce montage dans plusieurs réalisations de LNA très basse consommation ([50], [44]).

Tableau 3-7. Performances des LNAs de [50] et de [44].

REF	A (mm^2)	P_{DC} (mW)	S_{21} (dB)	BW (GHz)	NF (dB)	S_{11} (dB)	IIP_3 (dBm)	P_{-1dB} (dBm)
[44]	0,267	0,72	13	0,1 – 0,9	4	< -10	-10,2	-18
[50]	N/A (Inductor-less)	1,9	10,5	0,2 – 3,8	2,85	< -10	-2,7	\cong -11

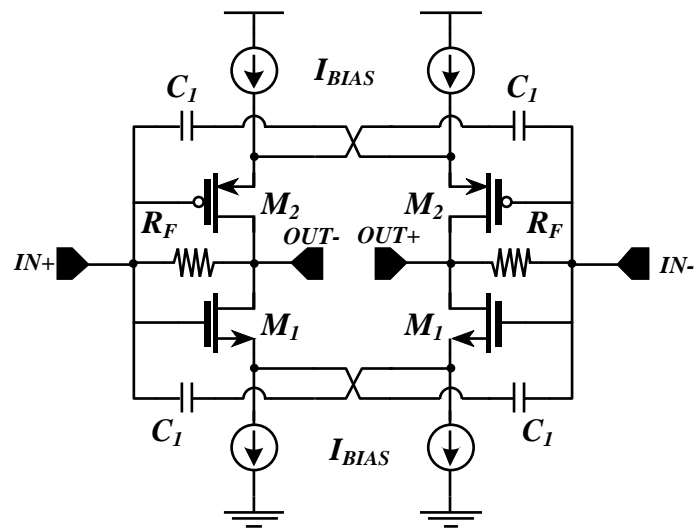


Figure 3-8. LNA hybride grille-commune/Contre réaction résistive présenté dans [44] utilisant la technique de CCC.

Si l'on met de coté la technique CCC qui a déjà été largement publiée, il n'y a que peu de réalisations qui envisagent des amplificateurs de g_m —boost actif au moment de ces travaux de thèse. [34] démontre l'intérêt de la technique pour abaisser la consommation d'un LNA fonctionnant à 9,8GHz. Le circuit présenté utilise cependant des inductances. Les auteurs de [48] utilisent également un g_m —boost actif pour réduire la consommation d'un LNA de type balun actif sans inductances. Ce circuit présente une consommation électrique parmi les plus faibles par rapport aux autres balun actifs (Figure 3-9, Tableau 3-8) ce qui démontre l'intérêt du g_m —boost avec amplificateur auxiliaire.

Tableau 3-8. Performances du LNA de [48] de type Balun Actif avec g_m —boost

$A \text{ (mm}^2\text{)}$	$P_{DC} \text{ (mW)}$ @ V_{DD}	$G_v \text{ (dB)}$	$BW \text{ (GHz)}$	$NF \text{ (dB)}$	$S_{11} \text{ (dB)}$	$IIP_3 \text{ (dBm)}$
0,0252	5,7 @ 1V	19	0,2 – 3,8	2,8 – 3,4	-9	-4,2
	3,2 @ 0,85V	14,8		3,5 – 4,1		-3,8

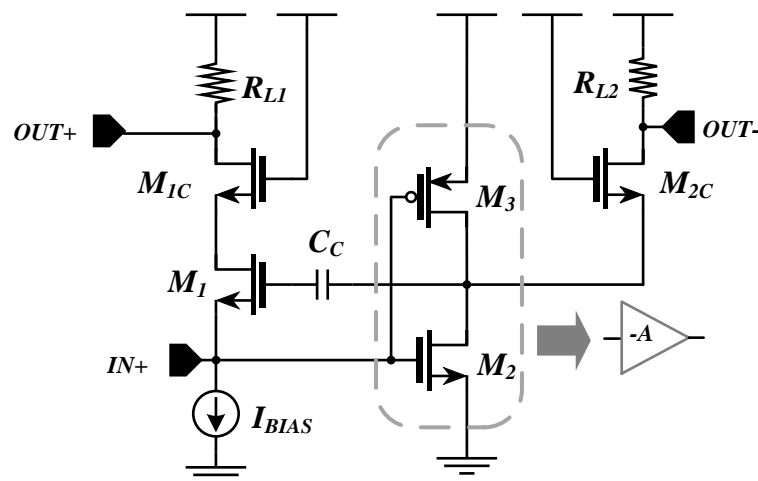


Figure 3-9. LNA Balun actif avec g_m —boost en réutilisation de courant (M_2 - M_3) autour du montage GC M_1 [48].

La technique de g_m —boost avec une amplification auxiliaire passive ou active apparait dans la littérature comme nécessaire pour atteindre des niveaux de consommation de l'ordre du milliwatt. L'utilisation d'une amplification auxiliaire active est rarement envisagée ce qui laisse supposer que des solutions innovantes peuvent être proposées autour de cette technique.

1.2.3. LNA à annulation de bruit.

Nous mentionnons dans ce paragraphe l'existence d'une autre classe de LNA qui met en œuvre un mécanisme d'annulation de bruit. Ces LNA sont basés sur la théorie développée par [33]. On détaille le fonctionnement de certains de ces LNA dans l'Annexe A.3. Dans notre cas particulier, compte tenu de nos spécifications en consommation ainsi que de l'état de l'art des LNA basés sur cette théorie, il n'est pas apparu significatif de proposer une structure basée sur cette technique. En effet les LNA à annulation de bruit ne présentent pas un compromis consommation-facteur de bruit très supérieur à celui des montages GC et SC [54]. Ceci est en partie dû à la consommation supplémentaire amenée par l'amplificateur auxiliaire utilisé pour l'annulation de bruit. De ce point de vue les LNA dit à annulation de bruit sont discutables.

1.2.4. Conclusion sur l'état de l'art des LNA

Nous avons vu qu'il existait 2 techniques pertinentes de réalisation de LNA sans inductance. Parmi toutes ces techniques, le montage grille commune semble être le plus adapté à la très faible consommation. En effet les montages GC avec des boucles auxiliaires ainsi que la technique de g_m —boost montrent des performances particulièrement intéressantes en termes de compromis consommation/performances.

Parmi cette classe de LNA GC avec g_m —boost, nous avons souligné que le cas des LNA à circuit de g_m —boost actif est assez peu étudié. Il s'agit donc d'un cas particulier susceptible d'offrir des approches innovantes. Nous nous intéressons donc au potentiel d'un LNA construit autour d'un montage GC avec un circuit de g_m —boost actif optimisé.

Partie 2. Conception d'un LNA différentiel sans inductance et base consommation pour la bande ISM en CMOS 130nm

2.1. Choix de la topologie

2.1.1. Objectifs de performance

Pour la réalisation d'un LNA basse consommation, plusieurs objectifs de performance ont été posés :

- On cherche à minimiser la consommation du LNA autour de 1mW en différentiel. Cette contrainte va fortement impacter l'ensemble des autres contraintes, notamment la quantité de gain disponible et le niveau de bruit.
- Le choix d'une structure entièrement différentielle est préférable afin de s'affranchir des bruits de mode commun, d'obtenir un IIP_2 élevé et d'utiliser une conversion de fréquence différentielle à la suite du LNA.
- En l'absence d'inductances, un gain en surface d'un facteur 5 à 10 devrait permettre d'atteindre une surface au moins inférieure à 0,01mm² (dans [41] le LNA à contre réaction résistive occupe 0,0017mm²).
- L'étude précédente sur l'état de l'art ([50, 55, 56] nous montre qu'une spécification de NF de l'ordre de 4-5 dB pour un IIP_3 de l'ordre de -10dBm est vraisemblablement atteignable.
- Compte tenu de la spécification en facteur de bruit et des niveaux de sensibilités requis autour de la norme IEEE.802.15.4, un niveau de gain d'au moins 15dB en tension est requis.
- Compte tenu des faibles courants de polarisation mis en jeux avec 1mW de consommation statique (soit une consommation statique d'au plus 500μA par demi-circuit de la structure différentielle) un point de compression en entrée supérieur à -20dBm sera difficilement atteignable.
- La bande passante du LNA doit être supérieure à 2,45GHz (bande ISM). On peut donc utiliser des impédances de charges assez élevées (~1kΩ) pour obtenir le niveau de gain souhaité.
- L'adaptation en entrée est spécifiée en terme de S_{11} à une valeur inférieure ou égale à -10dB , ceci implique que 90% de la puissance au niveau de l'antenne (ou du filtre d'entrée) est transmise au LNA.

Tableau 3-9. *Objectifs de performance du LNA*

$A (mm^2)$	$P_{DC}(mW)$	$G_v(dB)$	$BW(GHz)$	$NF (dB)$	$S_{11}(dB)$	$IIP_3(dBm)$
$< 0,05$	$\sim 1mW$	$> 15dB$	$> 2,45GHz$	$< 5dB$	< -10	~ -10

On formule également une hypothèse sur la charge capacitive en sortie du LNA qui est en général non négligeable dans un récepteur complet. Une capacité de charge (notée C_L) est fixée à 50fF pour modéliser la capacité d'entrée d'un mélangeur passif [50] en charge du LNA. En entrée du LNA, il faut également prévoir une charge capacitive qui est en général due à un circuit de protection ESD indispensable mais également à la capacité du plot. On considèrera alors une capacité d'entrée de 0.3pF par entrée différentielle ce qui peut sembler pessimiste (dans [41], la diode ESD n'amène que 30fF mais les auteurs stipulent qu'un circuit ESD supplémentaire est nécessaire). Selon les performances finales du circuit réalisé, certaines performances du Tableau 3-9 peuvent être revues à la baisse ou à la hausse.

2.1.2. *LNA a g_m —boost basse consommation.*

On présente ici une structure de LNA GC utilisant une technique de g_m —boost actif. Le circuit proposé présente les caractéristiques suivantes :

- Montage GC différentiel à charge résistive pure.
- Amplificateur de g_m —boost différentiel actif basé sur un montage GC à charge active.

Le circuit utilise des transistors NMOS et PMOS de type HS (High Speed – V_{TH} faible) en tant que composant RF ainsi des résistances poly-silicium de résistance par carré standard pour les résistances RF et de résistance par carré élevé pour les parties basse fréquence / DC du circuit. Des capacités MOM (Metal Oxyde Metal) sont également utilisées.

Le circuit proposé est illustré en Figure 3-10. L'amplificateur principal est constitué des NMOS M_1 chargés par les résistances R_1 . L'amplificateur de g_m —boost est constitué de NMOS M_3 ainsi que des charges actives M_4, R_3 que nous détaillerons ci-après.

La capacité C_2 ajoute un boost passif (CCC) dans l'amplificateur auxiliaire dans le but d'améliorer le compromis de performances. Cette architecture constitue une amélioration par rapport à l'état de l'art de ce type de LNA. En effet, l'impédance d'entrée du montage est définie par la mise en parallèle de deux impédances. La première est issue du circuit GC

principal (M_1, R_1) dont la boucle de g_m -boost est le circuit auxiliaire (M_3, R_3) ; la seconde impédance est issue du circuit auxiliaire (M_3, R_3) dont la boucle de g_m -boost est obtenue grâce à C_2 . Ceci a pour conséquence de permettre une adaptation basse impédance pour une consommation réduite, c'est-à-dire quand le niveau des transconductances g_{m1}, g_{m3} est faible devant $1/50\Omega = 20mS$.

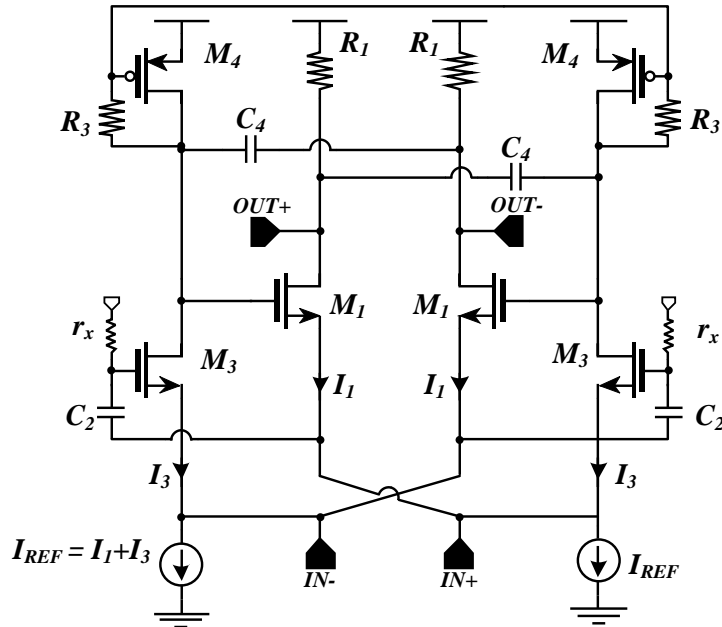


Figure 3-10. LNA proposé

Les deux amplificateurs partagent la même source de courant en entrée I_{REF} , qui définit la consommation du LNA ($I_{LNA}/2 = I_{REF} = I_1 + I_3$). Le partage du courant I_{REF} entre I_1 et I_3 est obtenu via la tension de polarisation de la grille de M_3 (au travers d'une résistance r_x de forte valeur – 20k Ω). Le niveau d'inversion de M_1 (i.e. sa tension d'overdrive $V_{od} = V_{GS} - V_{Th}$) n'est pas réglable puisque la grille de M_1 est reliée au drain de M_3 (nœud v_3) afin d'économiser une capacité de couplage qui rajouterait des parasites néfastes à la bande passante.

Pour respecter la convention de signe du gain de g_m —boost défini en Figure 3-7-a, les sources des MOS M_3 et M_1 sont croisées. Le circuit présenté en Figure 3-10 n'a donc pas d'équivalent en mode commun sous cette forme.

Une masse dynamique de mode commun est définie sur les grilles des sources de courant M_4 en régime différentiel pur. Les MOS M_4 ne sont donc pas connectés en diode. En l'absence de ce point milieu, il existe une inductance active parasite $L_{par} = R_3 c_{gs4} / (g_{m4} - R_3^{-1})$ qui apparait au delà de la pulsation de coupure définie par $\omega_{par} = 1 / R_3 c_{gs4}$. Ce type

d'inductance active (en général de valeur L_{par} élevée) provoque une coupure prématurée du gain de l'amplificateur auxiliaire. La capacité C_4 joue également un rôle important sur la bande passante, son fonctionnement sera détaillé lors de l'étude de la bande passante.

Le Tableau 3-10 qui suit résume la géométrie et la polarisation des deux amplificateurs qui constituent ce LNA. Les tensions de polarisation (V_{od}) des MOS M_1, M_3 sont modérées de façon à profiter d'un ratio g_m/I_{DC} plus favorable à la faible consommation. Les fréquences de transitions de ces transistors sont supérieures à 40GHz (plus de 10 fois la fréquence de la bande ISM à 2.45GHz).

Tableau 3-10. *Dimensionnement géométrique et polarisation du LNA*

AMPLIFICATEUR PRINCIPAL	AMPLIFICATEUR DE g_m —BOOST
$I_1 = 220\mu A$ $V_{OV} = 40mV$ $(W_1/L_1) = (18/0,13)\mu m$ $g_{m1} = 3,54mS$ $g_{DS1} = 214\mu S$ $C_{GS1} = 13fF$ $C_{GD1} = 9fF$ $R_1 = 700\Omega$	$I_3 = 330\mu A$ $V_{OV} = 55mV$ $(W_3/L_3) = (18/0,13)\mu m$ $g_{m3} = 4,6mS$ $g_{DS3} = 345\mu S$ $C_{GS3} = 13fF$ $C_{GD3} = 9fF$ $(W_4/L_4) = (10/0,13)\mu m$ $C_{C2} = 0,5pF$ $C_4 = 32fF$ $r_{xB} = 20k\Omega$ $R_3 = 1500\Omega$
$I_{LNA} = 2 \times 550\mu A @ 1,2V \rightarrow P_{DC-LNA} = 1,32mW$	

Dans ce qui suit nous détaillons les différentes caractéristiques du LNA ainsi constitué. Nous présenterons également des éléments de comparaison avec les autres techniques déjà publiées ([34], [57])

2.1.2.a. Adaptation en entrée.

On détermine l'admittance d'entrée différentielle Y_{IN-D} présenté par le LNA de la Figure 3-10. Les calculs sont menés en remplaçant les transistors par leurs circuits équivalents en petit signal, lesquels sont constitués des paramètres $g_m, g_{DS}, c_{gs}, c_{gd}$. L'admittance d'entrée différentielle sera nécessairement mise en forme par le gain de l'amplificateur auxiliaire. On note G_v le gain en tension du LNA complet et G_{boost} le gain en tension de l'amplificateur auxiliaire de g_m —boost. On détermine tout d'abord l'expression théorique simplifiée de Y_{IN-D} en basse fréquence (on néglige les contributions des capacités parasites du MOS). On néglige également la fréquence de coupure du filtre passe haut induit par C_2 située très en deçà de la fréquence de fonctionnement du LNA.

Tableau 3-11. Expression théorique de Y_{IN-D} en basse fréquence et des gains en tension basse fréquence propres au LNA proposé.

PARAMETRE	EXPRESSION THEORIQUE
Gain en tension du LNA	$G_v = \frac{g_{m1}R_1}{1 + R_1g_{DS1}} \left(1 + \frac{g_{DS1}}{g_{m1}} + G_{boost} \right) \approx g_{m1}R_1(1 + G_{boost}) \quad (3-19)$
Gain en tension du GC auxiliaire	$G_{boost} = \frac{(2g_{m3} + g_{DS3})R_3}{1 + R_3g_{DS3}} \approx 2g_{m3}R_3 \quad (3-20)$
Admittance d'entrée Y_{IN-D}	$Y_{IN-D} = \frac{g_{m1}}{2} (1 + G_{boost}) + g_{m3} + g_{DS1}(1 - G_v) + g_{DS3}(1 - G_{boost}) \quad (3-21)$
Condition d'adaptation sur g_{m1}	$Y_{IN-D} = R_S \rightarrow g_{m1} \approx \frac{2(1 - g_{m3}R_S)}{R_S(1 + 2g_{m3}R_3)} \quad (3-22)$

La condition d'adaptation (3-22) montre qu'en présence d'un gain G_{boost} élevé, le couple (g_{m1}, g_{m3}) nécessaire pour obtenir l'adaptation est potentiellement bien inférieur au 20mS requis dans le cas du montage GC simple (cf. (3-15) – p. 81). L'équation (3-22) montre également que si g_{m3} est trop élevé, la valeur de g_{m1} nécessaire à l'adaptation devient négative. Ceci démontre que le couple (g_{m1}, g_{m3}) ne peut être arbitrairement choisi.

L'étude du comportement haute fréquence de Y_{IN-D} faisant intervenir les capacités des MOS montre l'existence d'un effet gyrateur qui génère une partie inductive dans l'impédance d'entrée. L'expression complète de l'admittance d'entrée haute fréquence est détaillée dans l'annexe A.1.b. Cet effet parasite n'impacte pas la faisabilité de l'adaptation.

La Figure 3-11 illustre l'évolution du S_{11} du LNA en fonction de la fréquence. A titre d'illustration on trace également le S_{11} que l'on obtiendrait en l'absence des capacités parasites ramenés par les MOS au nœud v_3 . On constate alors que sans la partie inductive de Y_{IN-D} , la bande passante de l'adaptation d'entrée est réduite. L'effet gyrateur dans ce cas précis est utile au maintien de la bande passante de l'adaptation en entrée puisque le S_{11} reste inférieur à $-10dB$ jusqu'à 10GHz.

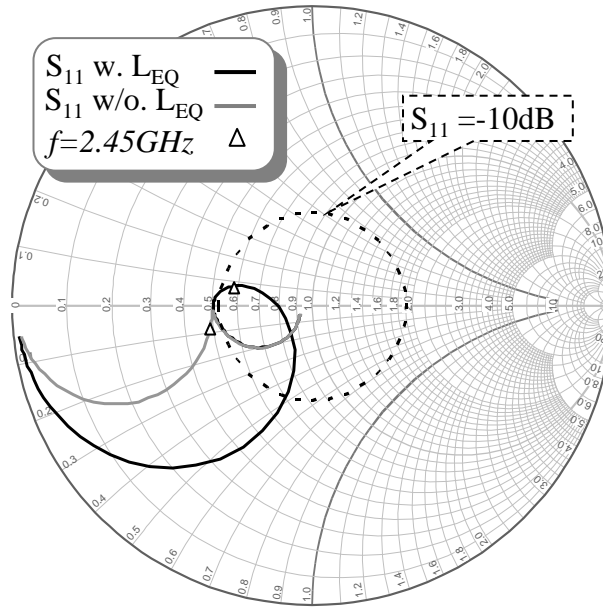


Figure 3-11. S_{11} simulé avec et sans l'inductance active L_{EQ} . Le point de fréquence à 2,45GHz est représenté dans les 2 cas.

On obtient une impédance d'entrée plus faible que 50Ω mais néanmoins à l'intérieur du cercle d'équation $S_{11} = -10dB$. On pourrait donc envisager de diminuer d'avantage les valeurs de g_{M1}, g_{M3} pour augmenter l'impédance d'entrée et rapprocher le S_{11} à la fréquence de travail du centre de l'abaque. Ceci impliquerait néanmoins une augmentation du bruit et une diminution du gain compte tenu de la diminution nécessaire du gain de G_m -boost que cette modification engendrerait.

2.1.2.b. Gain et bande passante.

Le gain et la bande passante du LNA sont fortement influencés par le gain G_{boost} et la bande passante du circuit de g_m —boost. Au premier ordre le gain du LNA (G_v) est sensiblement égal au produit des gains des deux montages GC. L'analyse fréquentielle du LNA de la Figure 3-10 (page 89) aboutit aux expressions suivantes :

$$G_v(p) = G_{v-DC} \cdot \frac{1 + \frac{p}{a_1} + \frac{p^2}{a_2}}{\left(1 + \frac{2\xi}{\omega_0}p + \frac{p^2}{\omega_0^2}\right)} \quad (3-23)$$

$$G_{boost}(p) = G_{boost-DC} \cdot \frac{1 + \frac{p}{b_1} + \frac{p^2}{b_2}}{\left(1 + \frac{2\xi}{\omega_0}p + \frac{p^2}{\omega_0^2}\right)} \quad (3-24)$$

$$G_{boost-DC} = \frac{(2g_{m3} + g_{DS3})R_3}{1 + R_3g_{DS3}} \quad (3-25)$$

$$G_{v-DC} = \frac{g_{m1}R_1}{1 + R_1g_{DS1}} \left(1 + \frac{g_{DS1}}{g_{m1}} + G_{boost} \right) \quad (3-26)$$

Les détails du calcul ainsi que les expressions des zéros (a_1, a_2, b_1, b_2) sont donnés dans l'annexe A.4. Il apparait que les deux gains en tensions (3-23), (3-24) partagent une paire de pôles complexes conjugués identiques et qui sont caractérisés par un amortissement ξ et un pôle de pulsation ω_0 . L'expression de ces deux paramètres est donnée ci-dessous :

$$\omega_0 = \sqrt{\frac{g_{11}g_{33}}{C_{11}C_{33} - c_{gd1}^2 + C_4(C_{11} + C_{33} + 2c_{gd1})}} \quad (3-27)$$

$$\xi = \frac{C_{33}g_{11} + C_{11}g_{33} - C_4(g_{m1} - g_{11} - g_{33})}{2\sqrt{g_{11}g_{33}C_{pole}^2}} \quad (3-28)$$

Par souci de simplification, les capacités C_{11} et C_{33} représentent respectivement les capacités équivalentes vers la masse au niveau des drains de M_1 et M_3 . De même g_{11} et g_{33} représentent les conductances réelles équivalentes au niveau des drains de M_1 et M_3 (le détail de toutes ces notations est donné dans l'annexe A.4).

L'analyse de (3-27) et de (3-28) illustre le rôle de C_4 , une capacité dite de neutralisation (ou de neutrodynage) qui est connectée de manière antisymétrique entre les sorties des deux montages GC. La contre réaction positive introduite par cette capacité engendre le terme négatif au numérateur de (3-28). Le rôle de C_4 est donc de diminuer l'amortissement du système et de créer un pic de gain pour étendre la bande passante localement. Cette technique est nécessaire dans notre cas pour tenir la bande passante spécifiée. En effet, en raison de l'absence d'inductances et pour minimiser le bruit du LNA, les résistances de charge sont élevées ($R_3 = 1500\Omega$ au nœud v_3 et $R_1 = 700\Omega$ au nœud v_{out}). A cause des capacités parasites, ces charges limitent la bande passante disponible.

On illustre ci-dessous l'allure des gains $G_v(p)$ et $G_{boost}(p)$ de la Figure 3-10 obtenu pour différentes valeurs de C_4 :

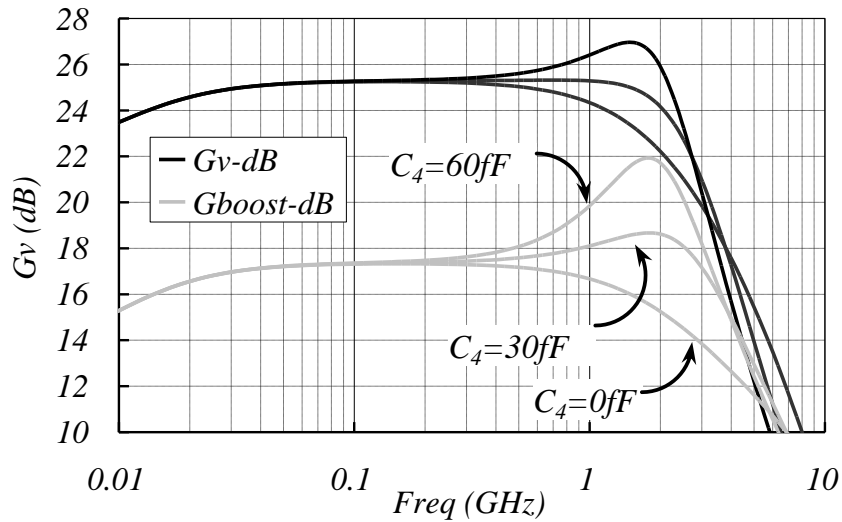


Figure 3-12. Evolution des gains du LNA en fonction de la valeur de C_4

Grâce à cette technique de neutralisation on peut augmenter la bande passante au-delà de 2,45 GHz. A l'aide des résultats de l'annexe A.4 on peut montrer que le gain $G_{boost}(p)$ présente un pic essentiellement induit par le zéro contrôlé par C_4 (Tableau A4-1 page 162). Enfin le Tableau 3-12 ci-dessous liste pour chaque valeur de C_4 la bande passante à $-3dB$ et le pic de gain obtenu.

Tableau 3-12. Effet de C_4 sur la bande passante

$C_4(fF)$	$\xi(u.a)$	$BW_{-3dB}(GHz)$	DEPASSEMENT DE GAIN (dB)
10	0.98	1.99	nul
30	0.710	2.63	+0.2
60	0.49	2.66	+1.01

Le cas $C_4 = 30fF$ est intéressant puisqu'il permet pour une faible valeur de capacité d'atteindre l'amortissement critique ($\xi \cong 1/\sqrt{2} = 0,707$). Il n'est pas possible d'augmenter fortement la valeur de C_4 dans l'espoir d'étendre la bande passante de façon importante. En ré-analysant l'équation (3-27), il apparaît en effet qu'une augmentation de C_4 diminue la valeur de ω_0 en même temps que de diminuer l'amortissement ξ . Ainsi, pour de forte valeur de C_4 , le pic de gain est obtenu pour une fréquence de plus en plus basse. Ceci est un résultat connu des systèmes linéaires du second ordre [37]. On peut montrer en effet que la fréquence de résonance ω_R à laquelle on obtient le gain maximum G_{v-max} est donnée par l'équation suivante :

$$\omega_R = \omega_0 \cdot \sqrt{1 - 2\xi^2} \quad (3-29)$$

$$G_{v-max} = \frac{G_{v-DC}}{2\xi\sqrt{1 - \xi^2}} \quad (3-30)$$

On choisit donc une capacité de neutrodynage de 30fF correspondant à un régime d'amortissement critique sur le gain du LNA. Grâce à cette technique, le LNA a une bande passante légèrement supérieure à 2,45GHz ce qui correspond à l'application visée. Le dessin de la capacité de neutralisation ne doit pas amener de parasites capacitifs supplémentaires afin de ne pas handicaper la technique d'extension de la bande passante. A ce titre, une capacité MOM qui n'utilise pas le niveau de métal le plus bas (métal 1) a été utilisée. Elle amène 2fF de capacité parasite au nœud v_3 ce qui est tout à fait négligeable.

Enfin nous verrons par la suite que l'augmentation du gain de g_m —boost avec la technique de neutralisation aura un effet sur la linéarité.

2.1.2.c. Bruit du LNA

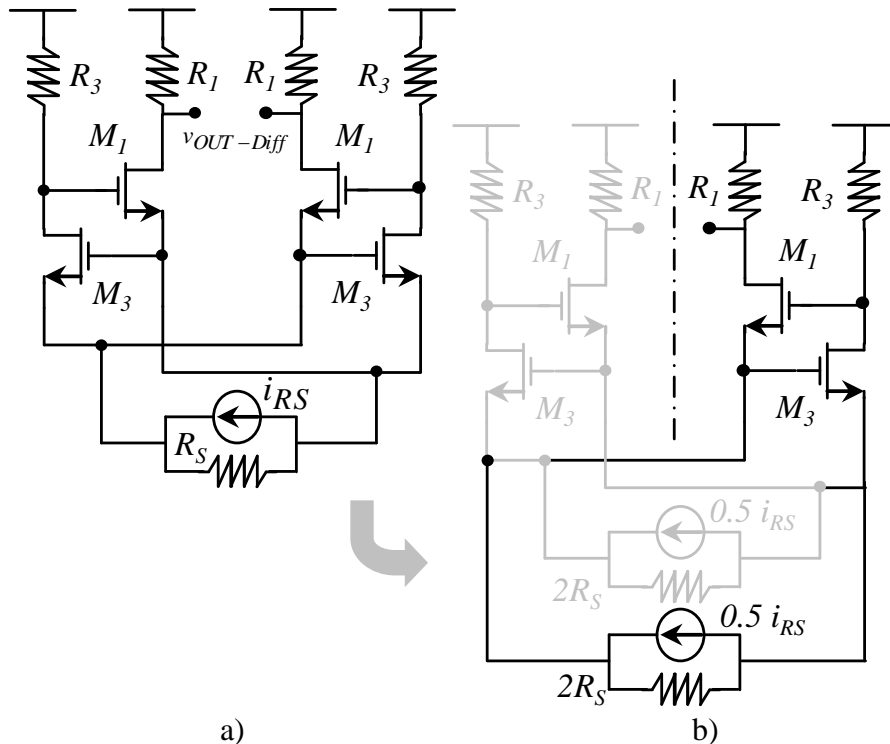
Le but recherché par la technique de g_m boost est de pouvoir minimiser le bruit du LNA sans avoir à augmenter considérablement le g_m du MOS d'amplification principal et par conséquent la consommation comme dans le cas d'un montage SC. On sait qu'avec un gain de g_m —boost idéal non bruyant, le bruit de la transconductance boostée est divisé par $(1 + G_{boost})$ en tenant compte de la condition d'adaptation (sans cette condition le bruit est divisé par un facteur $g_m R_S \cdot (1 + G_{boost})^2$ cf. Partie 1, Tableau 2-1). Ce contributeur au bruit, d'ordinaire dominant, peut donc être notablement réduit grâce à l'existence d'un gain de g_m —boost. Le facteur de bruit est également dépendant de l'amplificateur auxiliaire qui bénéficie lui aussi de cet effet de réduction du bruit grâce à la technique de CCC, ce qui réduit théoriquement sa contribution en bruit d'un facteur 2.

Il existe plusieurs sources de bruit dû à plusieurs mécanismes physiques. On considère généralement le bruit en $1/f$, le bruit thermique [45] et dans une moindre mesure le bruit de grille induit [45]. Pour l'analyse en bruit d'un LNA dans le domaine RF considéré ici, on néglige en général l'effet du bruit en $1/f$ qui intervient très en deçà de la fréquence de fonctionnement du LNA. Le bruit de grille induit est considéré comme négligeable pour des applications en deçà de 10 GHz. Pour un MOS polarisé en zone de saturation et en forte inversion, la densité spectrale de bruit thermique fait intervenir une constante technologique supplémentaire γ_{gm} :

$$\bar{I}_n^2 = 4kT \cdot \gamma_{gm} \cdot g_m \Delta f \quad (3-31)$$

Le paramètre γ_{gm} est souvent considéré comme constant et égale à 2/3 pour les MOS à canal long. Cette approximation n'est plus valable pour des longueurs de grilles inférieures à 100nm et γ_{gm} peut être aussi élevé que 1,5-2. L'évolution de la valeur γ_{gm} en fonction de la géométrie d'un transistor MOS et de l'inversion a été illustré dans [54]. Pour simplifier notre analyse en bruit nous considérerons ici que γ_{gm} est un paramètre indépendant de la polarisation.

On rappelle également que les sources de bruit de deux demi-circuits différentiels constituant un LNA différentiel ne sont pas corrélées. Ceci reste indépendant de la façon dont est dessiné le circuit puisque l'agitation thermique de 2 transistors, aussi proches soient-ils, n'est pas corrélée. Cette hypothèse limite les simplifications de circuits habituellement utilisés dans les calculs en petit signal. En toute rigueur il conviendrait de calculer la contribution en bruit sur la sortie différentielle de chaque source de bruit indépendamment les unes des autres. Le bruit total du circuit différentiel est alors la somme quadratique des contributions ainsi calculées. Cette technique nécessite pour le calcul du bruit d'une matrice de calcul de taille 6×6 . Les résultats obtenus ainsi sont difficilement lisibles pour mettre en valeur un compromis de conception simple. Afin de réduire la taille de la matrice, et obtenir un résultat qui soit plus utile à la connaissance du circuit, on procède à la simplification décrite ci-après et illustrée en Figure 3-13.



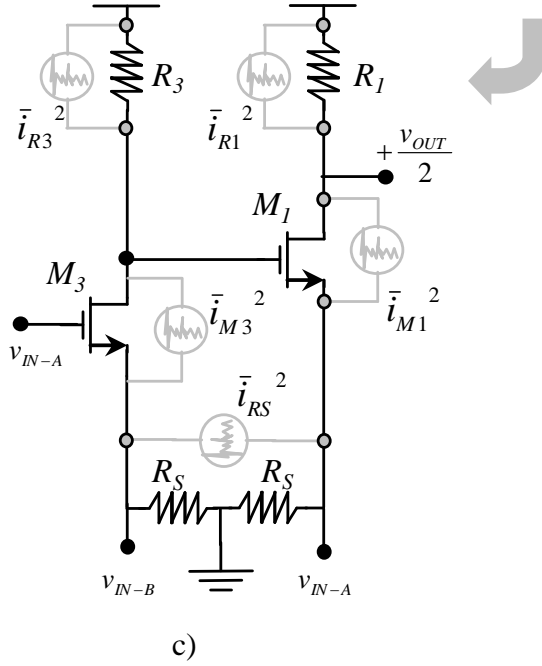


Figure 3-13. *Simplification du LNA différentiel pour le calcul du facteur de bruit.*

On considère tout d'abord que la basse impédance d'entrée du LNA nous autorise à considérer le bruit de source comme un générateur de Norton pur (Figure 3-13-a). On formule ensuite une hypothèse de corrélation du bruit des 2 demi-circuits différentiels : deux sources de Norton de DSP identiques et présentant des polarités inverses alimentent exclusivement l'un des deux demi-circuits différentiel (Figure 3-13-b). On suppose donc de façon pessimiste qu'il n'existe pas de bruit de mode commun en sortie dû à la source mais uniquement un bruit différentiel. On aboutit donc à une simplification du circuit complet sous la forme d'un demi-circuit équivalent utilisable pour estimer le facteur de bruit (Figure 3-13-c). Le schéma simplifié utilisé pour calculer le bruit est détaillé en bas de la Figure 3-13 ainsi que les différentes sources de bruit associées. Le calcul du facteur de bruit total F_{Tot} à l'aide de ces hypothèses simplificatrices est donné en annexe A.5 et aboutit à l'expression suivante :

$$F_{Tot} = 1 + \underbrace{\frac{\gamma_{gm3}}{2g_{m3}R_S}}_{F_{M3}} + \underbrace{\frac{1}{2g_{m3}^2R_3R_S}}_{F_{R3}} + \underbrace{\frac{2\gamma_{gm1}}{g_{m1}R_S(1+G_{boost})^2}}_{F_{M1}} + \underbrace{\frac{2\left(1+g_{m1}R_S\left(1+\frac{G_{boost}}{2}\right)\right)^2}{g_{m1}^2R_1R_S(1+G_{boost})^2}}_{F_{R1}} \quad (3-32)$$

Cette expression contient les contributions du montage GC de g_m —boost diminuées d'un facteur 2 grâce à la technique de CCC. La contribution de la transconductance g_{m1} est

également diminuée d'un facteur $(1 + G_{boost})^2$ comme attendu puisque (3-32) ne tient pas compte de la condition d'adaptation (le fait de ne pas inclure la condition d'adaptation du Tableau 3-11 permet en effet d'obtenir une expression de F_{tot} plus compacte et plus facilement interprétable).

Le contributeur dominant à F_{Tot} devient donc l'amplificateur de g_m —boost. Il y a donc intérêt à maximiser la transconductance g_{m3} pour minimiser le bruit. Les évolutions des termes de (3-32) en fonction de la transconductance g_{m3} à consommation constante ($I_1 + I_3 = cste.$) sont illustrées sur la Figure 3-14. Il existe une configuration de courant optimale pour laquelle les transconductances g_{m1} et g_{m3} sont suffisamment élevées ($> 3mS$) pour minimiser le bruit de leurs amplificateurs GC respectifs.

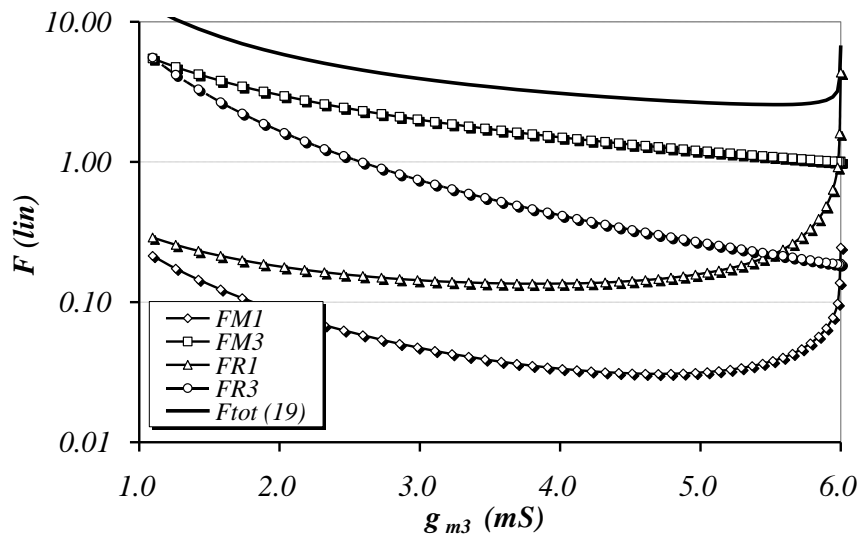


Figure 3-14. Evolution des différents contributeurs au facteur de bruit F_{tot} en fonction de g_{m3} à consommation constante.

On confronte le modèle simplifié de l'équation (3-32) à la simulation réelle du circuit différentiel complet. On vérifie que les approximations de (3-32) n'induisent pas une différence trop importante. Les deux modèles prédisent un minimum du facteur de bruit autour de 4dB. Le modèle simplifié est cependant un peu plus pessimiste que la simulation sur la valeur minimale de g_{m3} nécessaire à un facteur de bruit inférieur à 5dB. Ceci peut s'expliquer par l'existence d'un mode commun dans le bruit de sortie alors que le modèle simplifié considère tous les bruits comme différentiels.

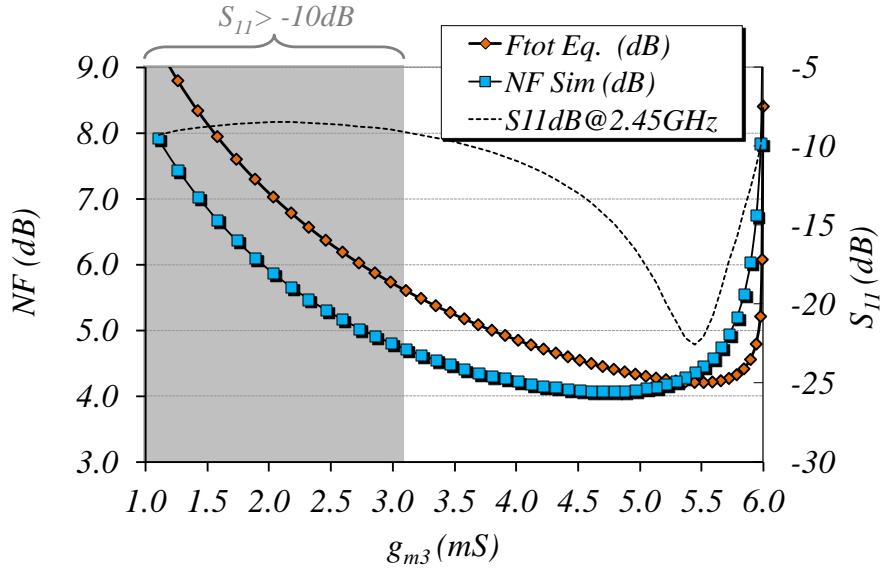


Figure 3-15. Comparaison entre le modèle décrit par l'équation (3-32) et la simulation du circuit différentiel complet.

La Figure 3-15 surligne également un domaine où le LNA est désadapté en raison d'un gain de g_m —boost trop faible. Pour atteindre l'optimum de bruit, un bon contrôle du rapport entre g_{m1} et g_{m3} , via un bon contrôle des courants I_1 et I_3 , est nécessaire.

2.1.2.d. Linéarité du LNA

Le principe de la technique de g_m —boost est d'amplifier le v_{gs} du transistor MOS monté en GC principal. Ceci permet d'obtenir une transconductance équivalente sans augmenter le courant de drain du transistor ainsi piloté. Le compromis sur la consommation devient donc un compromis entre la consommation de amplificateur principal et amplificateur de g_m —boost. Le MOS M_1 est donc amené à toujours travailler avec de faibles courants de polarisation pour des excursions dynamiques de v_{gs} potentiellement élevées. Comme nous l'avons mentionné dans le chapitre précédent, la non linéarité du g_m d'un transistor MOS peut être approchée par une décomposition en série de Taylor (décomposition en puissance) dans le cas d'une polarisation à courant constan. Nous utilisons une nouvelle fois cette approche et la démarche présenté dans [34] pour obtenir une équation capable de prédire la non linéarité du LNA en terme d' IIP_3 en fonction du gain de g_m —boost (G_{boost}), de l' IIP_3 du montage GC principal (noté $V_{IIP3-CG}$) et de celui du montage GC auxiliaire (noté $V_{IIP3-boost}$). On obtient alors l'équation suivante :

$$\frac{1}{V_{IIP3}^2} \cong \frac{(1 + G_{boost})^2}{V_{IIP3-CG}^2} + \frac{G_{boost}}{1 + G_{boost}} \cdot \frac{1}{V_{IIP3-boost}^2} \quad (3-33)$$

Dans notre cas, l'amplificateur de g_m —boost représente une boucle d'anté-action positive, de gain et de linéarité finie. La linéarité du LNA en terme d' IIP_3 sera donc d'autant plus mauvaise que le gain de g_m —boost sera élevé. Dans ce dernier cas, on peut grossièrement négliger le second terme du membre droit de (3-33) et l'on obtient la simplification la plus lisible de ce compromis :

$$V_{IIP3} \cong \frac{V_{IIP3-CG}}{(1 + G_{boost})} \quad (3-34)$$

Dans les équations (3-33) et (3-34) on suppose que les IIP_3 sont constants en fonction du gain G_{boost} . En réalité le changement du gain de g_m —boost peut impliquer un courant statique différent pour l'amplificateur auxiliaire. Il convient alors de vérifier que les valeurs $V_{IIP3-CG}$ et $V_{IIP3-boost}$ évolue faiblement vis-à-vis de l'évolution imposée par (3-34).

On propose de vérifier la pertinence du modèle d'estimation de l' IIP_3 détaillé ci-avant. On se place dans le cas où l'amplificateur de g_m —boost est modélisé soit par son équivalent petit signal (modèle AC linéaire pur), soit par son implémentation réelle (à l'aide du modèle physique du MOS). On confronte alors le calcul théorique (IIP_{3Th}) et la simulation (IIP_{3-sim}) pour le rapport I_1/I_3 choisit comme polarisation du LNA et pour un rapport de courant inverse.

Tableau 3-13. *Verification de la relation (3-33)*

	POINT DC	MODELE DU CIRCUIT CG (PRINCIPAL ET AUXILIAIRE)	CG g_m —boost	IIP_{3-CG} (mW)	IIP_{3-sim} (mW)	IIP_{3Th-Eq} (mW)
CG M_1	$I_1=220\mu A$	Modèle du MOS	$G_v = 5.73$ $IIP_{3-boost} = \infty$	266.1	44.6	39.5
CG M_3	$I_3=330\mu A$	AC linéaire pur				
CG M_1	$I_1=330\mu A$	Modèle du MOS	$G_v = 5.51$ $IIP_{3-boost} = \infty$	516.4	90.78	79.44
CG M_3	$I_3=220\mu A$	AC linéaire pur				
CG M_1	$I_1=220\mu A$	Modèle du MOS	$G_v = 5.73$ $IIP_{3-CGM3} = 227.5mW$	266.1	61.27	39.4
CG M_3	$I_3=330\mu A$	Modèle du MOS				

La prédiction de la dégradation de l' IIP_3 dans le cas où le circuit de g_m —boost est parfaitement linéaire est assez proche de la simulation (0.5dB d'écart, 10% d'erreur sur

l'estimation). On constate néanmoins que si l'on simule le circuit réel, l' IIP_3 prédit est très pessimiste par rapport à la simulation. La modélisation de la non linéarité est simplifiée, elle ne tient pas compte du comportement fréquentiel, notamment de la phase du gain à la fréquence où l'on calcule l' IIP_3 . Elle ne tient pas non plus compte des éventuelles recombinaisons d'harmoniques entre les deux amplificateurs qui peuvent expliquer en quoi l' IIP_3 simulé est bien meilleur que la prédiction de l'équation (3-33). Le modèle est néanmoins utile pour estimer grossièrement pendant la phase de conception initiale la dégradation de la linéarité à laquelle on peut s'attendre en raison du gain d'anté-action positif.

Les résultats simulés de la linéarité du LNA sont obtenus à l'aide d'une simulation large signal comprenant 2 tons d'excitation à l'entrée du LNA, autour de la fréquence de 2.45GHz avec une distance inter-tons de 5MHz, ce qui correspond à la distance inter-canal pour la norme IEEE 802.15.4.

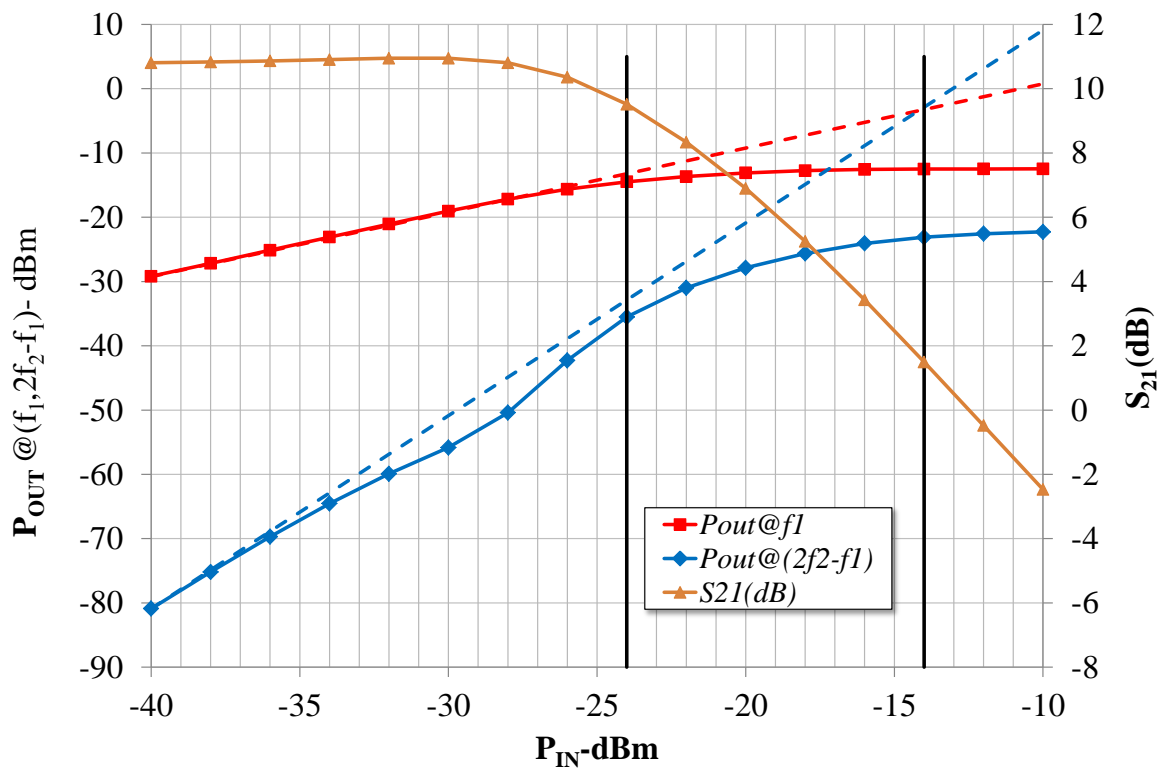


Figure 3-16. Point de compression et IIP_3 du LNA.

L'écart entre l' IIP_3 et le point de compression est sensiblement proche de 10dB [6]. La valeur du point de compression est essentiellement liée à la valeur du courant statique de polarisation de la structure ainsi qu'à la valeur de l'overdrive du transistor M_1 qui subit une excursion en tension importante.

Tout comme nous l'avons fait précédemment pour le facteur de bruit (§ 2.1.2.c), nous illustrons ci-dessous l'évolution de l' IIP_3 en fonction de la transconductance du MOS M_3 dans un scenario de consommation fixe, c'est-à-dire en maintenant constante la somme $I_1 + I_3$ afin de déterminer s'il existe également un optimum de linéarité pour le choix du ratio g_{m1}/g_{m3} .

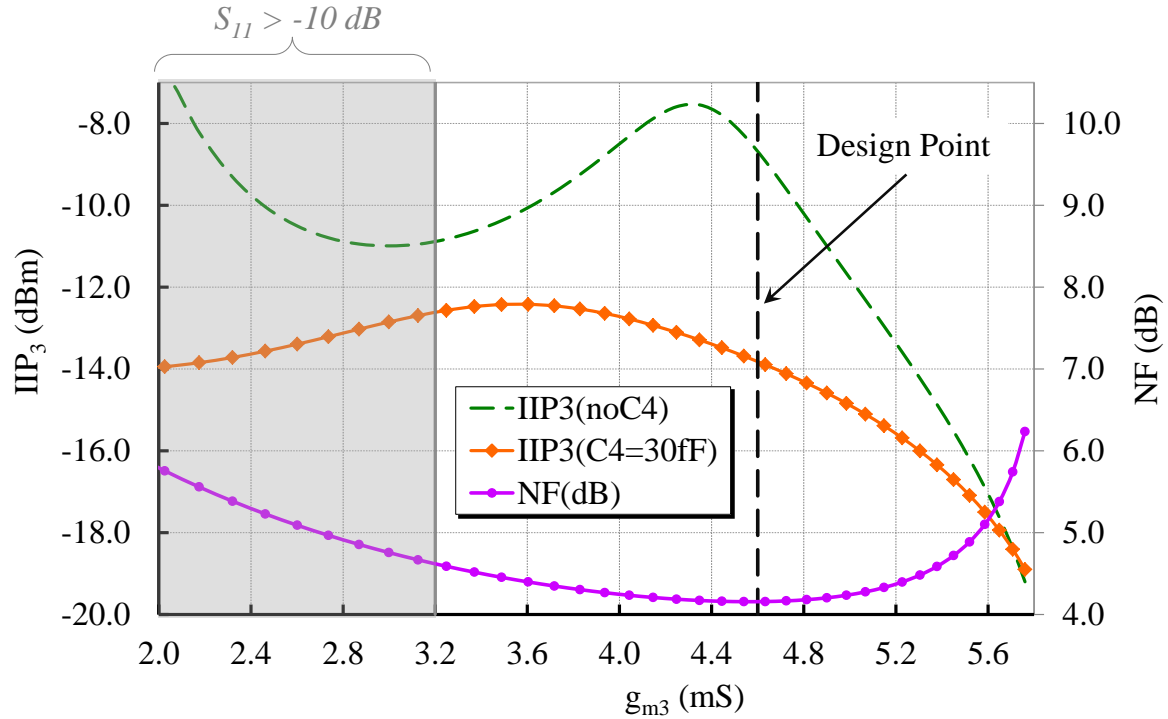


Figure 3-17. IIP_3 du LNA en fonction du rapport g_{m3}/g_{m1} à consommation constante.

La diminution du gain de g_m —boost permet effectivement d'augmenter légèrement l' IIP_3 sans toutefois dépasser le seuil $NF > 5$ dB. On choisit comme point caractéristique un courant de polarisation qui offre le NF le plus faible. La Figure 3-17 illustre également l'impact de la capacité de neutralisation sur la non-linéarité. Nous avons vu dans le paragraphe dédié à la bande passante [Figure 3-12, page 94] que la capacité C_4 augmente de façon importante le gain de g_m —boost. Il y a donc un sacrifice important sur la linéarité à utiliser cette capacité de contre réaction positive afin de tenir une bande passante supérieure à 2.45GHz. Nous reviendrons sur des alternatives à cette technique dans le paragraphe 2.3. Il serait préférable de ne pas avoir à recourir à cette technique de contre réaction positive lorsque la spécification en linéarité est critique.

2.1.2.e. Stabilité haute fréquence.

La stabilité globale du LNA doit être vérifiée. Le gain de g_m —boost ainsi que la capacité de neutralisation C_4 constituent respectivement des boucles d'anté-action et de contre réaction positive qui peuvent induire une instabilité. Une simulation de la variation technologique que peut subir le gain de g_m —boost ne montre pas d'instabilité notable liée à la valeur de la transconductance g_{m3} , puisque cette dernière est limitée en valeur haute par la dynamique du circuit de sorte que l'on ne génère pas de partie réelle négative dans l'impédance d'entrée (c.f équation (3-22) page 91). D'autre part, il a été vérifié qu'une forte variation de C_4 peut éventuellement engendrer une instabilité en entrée du circuit en induisant une impédance d'entrée du LNA négative.

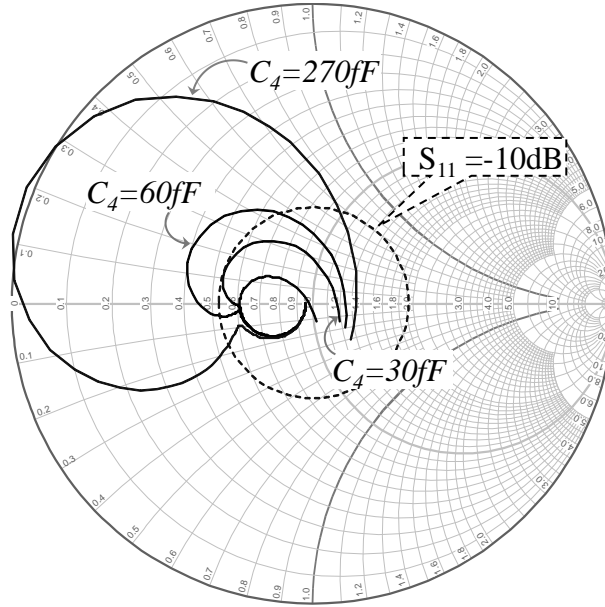


Figure 3-18. Evolution du S_{11} en fonction de la valeur de C_4 pour les valeurs 0fF, 30fF, 60fF et 270fF.

La Figure 3-18 montre qu'au fur et à mesure que l'amortissement ξ diminue avec des valeurs croissantes de C_4 , le pic de gain lié à la contre réaction engendre une partie réelle négative dans l'impédance d'entrée. Cet effet apparaît pour $C_4 = 270\text{fF}$. Ce résultat n'est cependant valable que pour une impédance d'antenne de 50Ω , ce qui n'est pas suffisant pour conclure sur le caractère global de la stabilité. L'utilisation d'un critère de stabilité global (3-35) [6],[58], permet de quantifier le risque d'instabilité pour des impédance de source et de charge arbitraires mais dont les parties réelles sont systématiquement positive.

$$k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2|S_{12}S_{21}|} \quad (3-35)$$

La stabilité inconditionnelle est garantie si $k > 1$ pour toutes les fréquences puisque ceci indique alors que les impédances de source et de charge du LNA qui induisent une instabilité devraient avoir nécessairement une partie réelle négative.

On trace en Figure 3-19 l'allure du facteur k en fonction de la fréquence pour des valeurs croissantes de C_4 . On détermine enfin que le LNA peut présenter une instabilité haute fréquence dès que $C_4 = 90fF$ alors que l'impédance d'entrée du LNA ne présente pas de partie réelle négative pour cette valeur de C_4 . Ce risque d'instabilité n'apparaît cependant que pour une valeur limite trois fois supérieure à la valeur nominale et amène donc à la conclusion que les variations technologiques sur C_4 ne peuvent à elles seules provoquer d'instabilité du LNA.

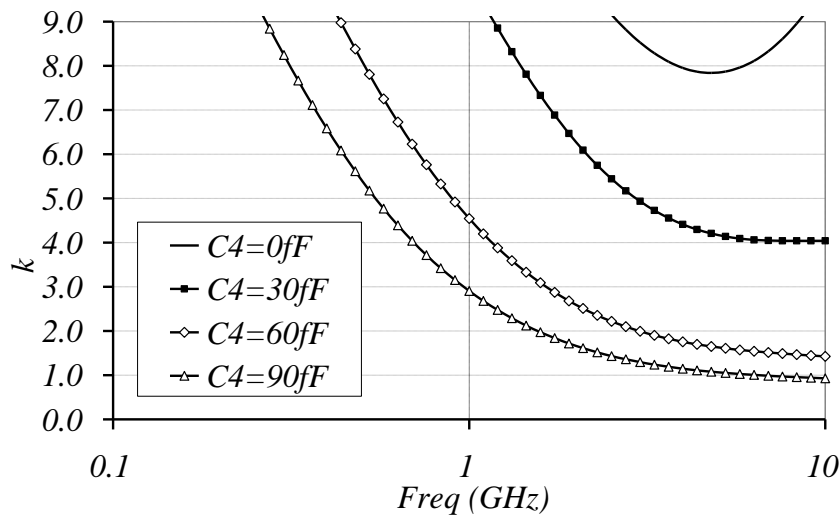


Figure 3-19. Facteur de stabilité k pour différentes valeurs de C_4 .

Il existe une limitation liée à l'utilisation du facteur k . Dans la mesure où il existe une boucle vers un nœud interne dans un circuit multi-étage, le facteur k peut parfois être supérieur à l'unité alors qu'il existe une instabilité via une boucle interne. L'étude de la stabilité locale de cette boucle en termes de marge de gain et de marge de phase vis-à-vis des critères de Barkhausen permet de compléter l'étude de la stabilité. En annexe A.6 on vérifie que les marges de gain et de phase calculées avec la méthode de Middlebrooke [59] ne deviennent critiques que pour des valeurs de la capacité C_4 au moins 3 fois supérieures à la valeur nominale $C_4 = 30fF$. Ceci est vérifié dans le cas où l'impédance d'antenne est fixée à 50Ω et dans le cas pessimiste où l'impédance d'antenne serait proche de 10Ω .

2.1.2.f. Sensibilité aux variations technologiques

La sensibilité du circuit conçu par rapport à l'ensemble des variations technologiques locales et globales. La simulation statistique porte sur 1000 tirages aléatoires. On obtient alors les moyennes et les écarts types de chaque performance du LNA vis-à-vis de l'ensemble de variations.

Tableau 3-14. *Distribution des performances du LNA pour une simulation MONTE-CARLO de 1000 Tirages.*

	$I_{LNA}(I_1 + I_3)(\mu A)$	$G_v(dB)$	$NF(dB)$	$S_{11}(dB)$	$IIP_3(dBm)$
Moyenne (μ)	550	23.4	4.5	-10.9	-14.3
Ecart type (σ)	11	0.4	0.56	0.47	1.05

Ces résultats sont obtenus avec l'hypothèse d'un bloc de polarisation idéal afin de générer la tension de grille du transistor M_3 , ce qui est également le cas lors des mesures du prototype. On voit que l'ensemble des performances est assez peu sensible aux variations technologiques.

2.2. Implémentation et mesure du LNA

Le LNA détaillé ci-avant présente donc les performances simulées suivantes :

Tableau 3-15. *Objectifs de performance du LNA*

$A(mm^2)$	$P_{DC}(mW)$	$G_v(dB)$	$BW(GHz)$	$NF(dB)$	$S_{11}(dB)$	$IIP_3(dBm)$
$83 \times 83 \mu m^2$	1.32 mW	24 dB	2.63 GHz	4.1	-11	-14dBm

Les performances en termes de bruit et de S_{11} seront impactées par le rajout de la capacité d'entrée C_{in} qui modélise la protection ESD. Le prototype réalisé ne contient cependant pas de protection ESD. En conséquence la capacité d'entrée se limite à celle des pads RF (80fF par voie soit $C_{in} = 40fF$, ce qui est assez éloigné de la valeur de 300fF considérée précédemment lors que l'étude de l'adaptation en entrée.

L'implémentation du cœur du LNA en technologie CMOS 130nm est illustrée en Figure 3-21. L'encombrement de $83 \times 83 \mu m^2$ est principalement fixé par les capacités de couplage C_2

de $500fF$ (en haut de part et d'autre du circuit). Les capacités de neutrodynage occupent une place faible et sont placés proches du nœud de drain.

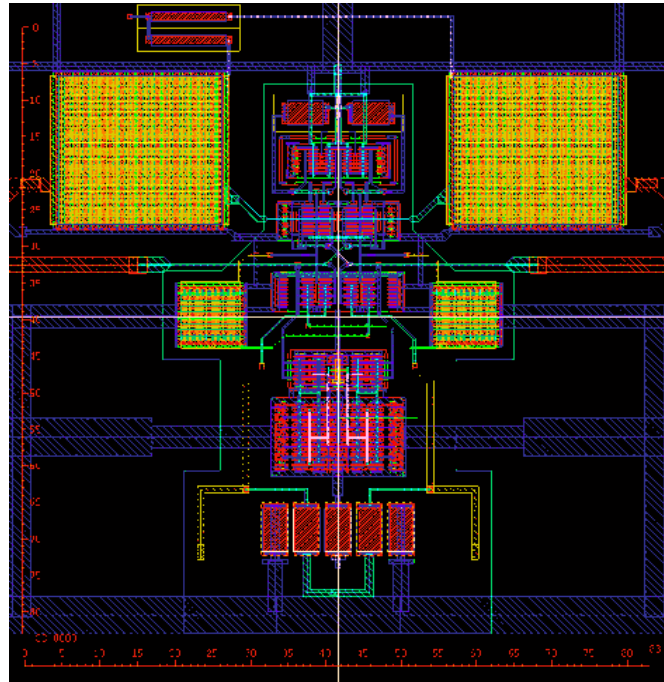


Figure 3-20. Vue layout du cœur du LNA

Le LNA ainsi dessiné est implémenté avec un buffer de test connecté à sa sortie ainsi qu'avec une version seule du buffer de test pour des besoins de testabilité. La surface de la puce est de $1.2 \times 1.2 \text{ mm}^2$ et est limitée par le nombre des plots. La caractérisation est effectuée sous pointes.

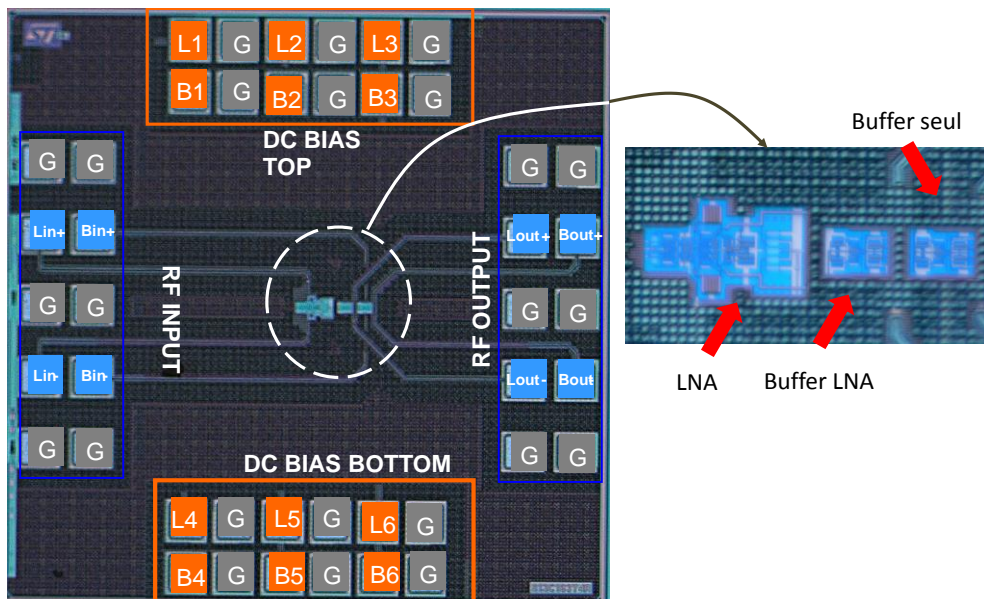


Figure 3-21. Vue complète du prototype du LNA réalisé. Les rangées de plots L1-L6, $Lin\pm$ & $Lout\pm$ sont dupliquées pour le test du buffer seul.

2.2.1.a. Mesures des performances du LNA

Le gain et l'adaptation en entrée sont mesurés à l'aide d'un VNA 4 port et de pointes RF différentielles. L'ensemble de la connectique est compensée par calibration dans le plan des pointes, les plots RF sont inclus dans les mesures. Le placement du LNA au centre du circuit n'a pas été un choix très stratégique puisque ce dernier aurait pu être placé au plus proche des plots d'entrées afin de minimiser l'inductance de la ligne. Dans cette configuration nous mesurons le gain en entrée entre 100MHz (limite basse du VNA) et 5GHz.

Afin de vérifier l'impact de ces lignes de connexions, leurs paramètres S ont été extraits à l'aide d'un simulateur électromagnétique (Agilent ADS Momentum) en post-simulation. On obtient ainsi un bloc de paramètres S 4-ports que l'on place en entrée du LNA simulé. On trouve alors que ces lignes introduisent une perte de gain en tension de 1.1dB (Figure 3-23) qui rend compte de la modification de l'impédance de source vue par l'entrée du LNA. Les pertes d'insertion des lignes simulées seules sont de seulement 0.2dB, ce qui correspond à l'augmentation du facteur de bruit en simulation de la même valeur (Figure 3-23).

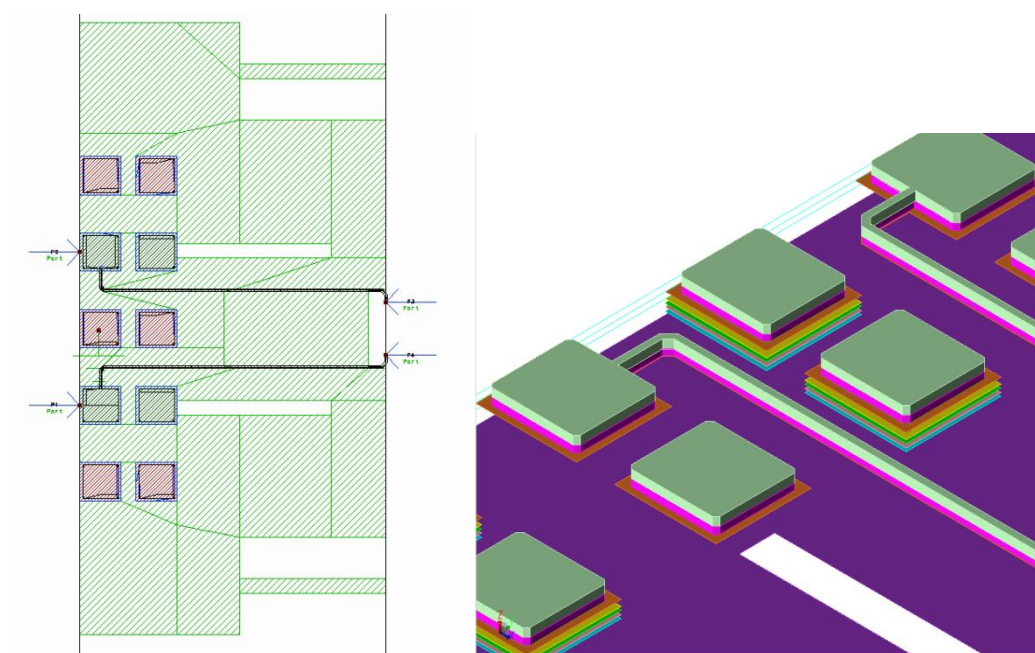


Figure 3-22. *Vue des lignes RF extraites sous momentum (vue 2D avec les ports de simulation & vue 3D de la structure simulée)*

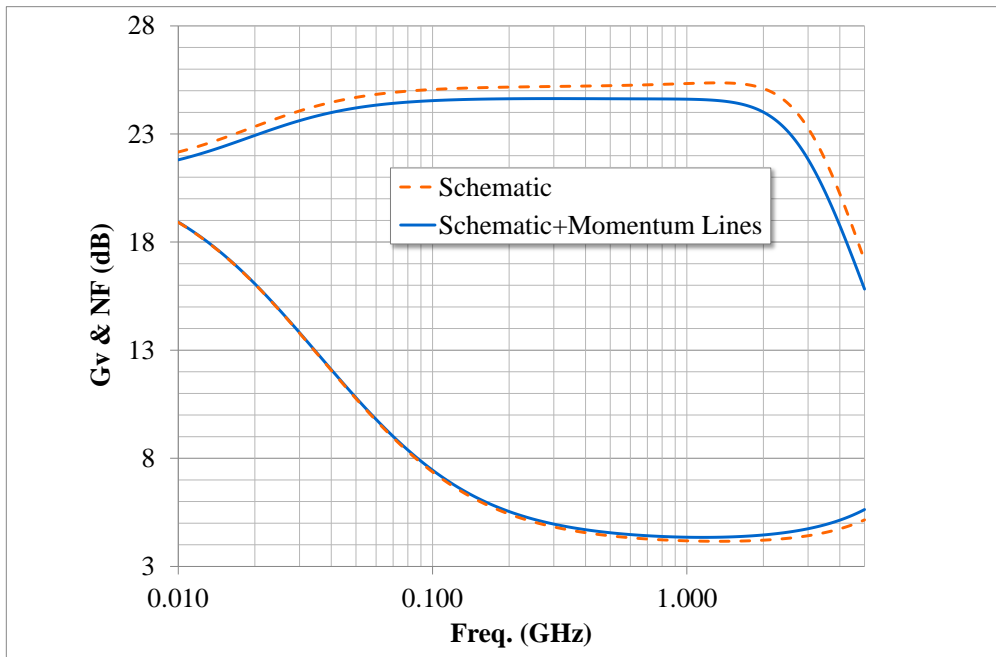


Figure 3-23. Effet sur le gain et le facteur de bruit des lignes d'entrée

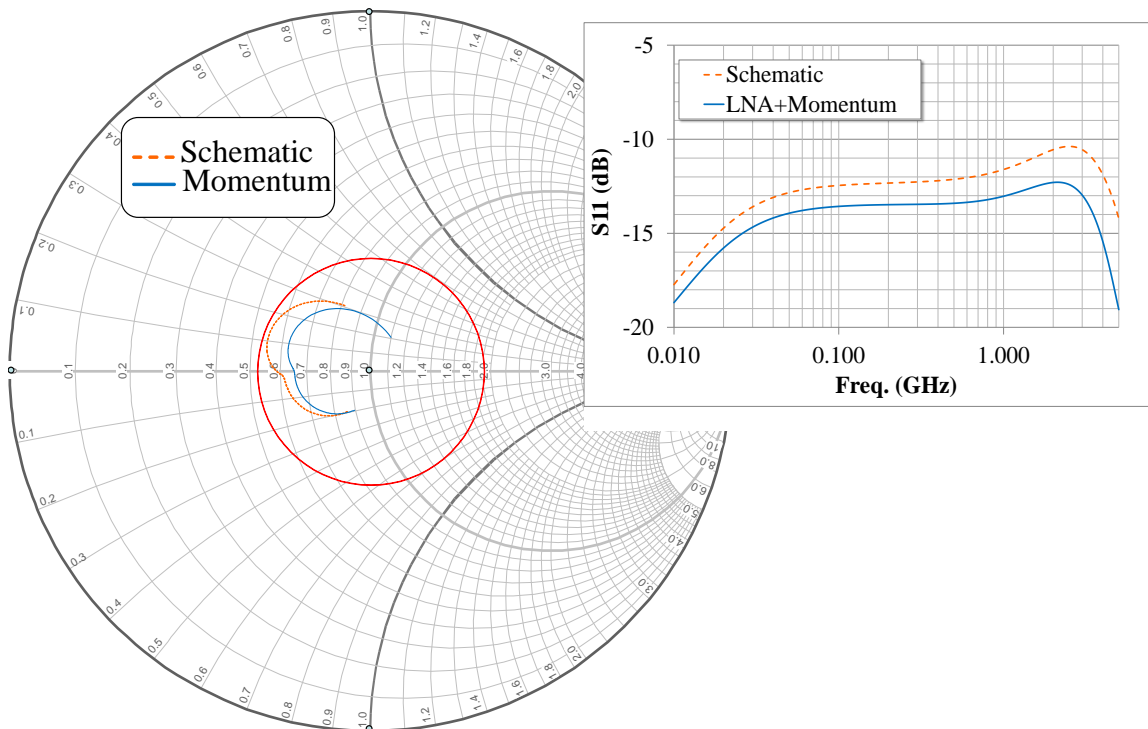


Figure 3-24. Effet sur l'adaptation en entrée (S_{11}) des lignes d'entrée

L'impédance des lignes dégrade le gain en tension du LNA mais l'inductance et la résistance série qu'elles amènent améliorent l'adaptation en entrée. La Figure 3-24 montre que le S_{11} évolue de -10dB à -12.5dB en présence des lignes. Du fait de la technique de g_m —boost pour laquelle des transconductances élevées maximise le gain et minimisent le bruit, il existe un

intéret à centrer l'adaptation en entrée vers les impédances inférieures à 50Ω (dans la limite d'un S_{11} inférieur à $-10dB$). Enfin, outre ces lignes de connexion, les parasites des interconnexions dégraderont les performances. Le tableau ci-dessous résume les dégradations attendues avec plusieurs scénarii de parasites post-layout : Le scénario *C* qui inclut les parasites capacitifs entre les nœuds et de chaque nœud vers la masse ; et le scénario *RC* qui tient compte en plus les résistances distribuées le long des interconnexions. Les scénario *RCc* inclus les capacité de couplage entre noeuds.

Tableau 3-16. Performances en gain et en bruit du LNA

	<i>LNA IDEAL</i>	<i>LNA IDEAL + PARASITES C</i>	<i>LNA IDEAL + PARASITES RC</i>	<i>LNA IDEAL + LIGNES + PARASITES RCc</i>
G_v	24.50	22.40	22.20	21.19
ΔG_v	0.00	-2.10	-2.30	-3.31
NF	4.29	4.38	4.53	4.77
ΔNF	0.00	0.09	0.24	0.48

Le tableau ci-dessus montre que le fait de cumuler l'ensemble des parasites résistifs et capacitifs, ainsi que les lignes d'entrées aboutit à une dégradation du gain de plus de 3dB par rapport au gain idéal et de 0.5dB de facteur de bruit supplémentaire par rapport à la valeur idéale. En tenant compte de ces imperfections, on confronte à présent les simulations post layout et les mesures pour le gain et l'adaptation :

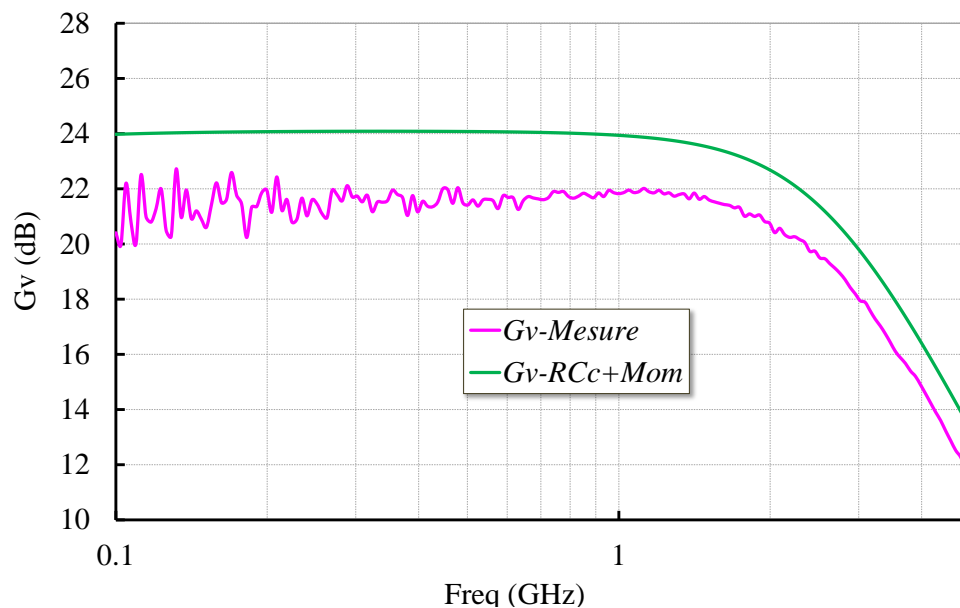


Figure 3-25. Mesure du gain du LNA (VNA 4 ports calibré)

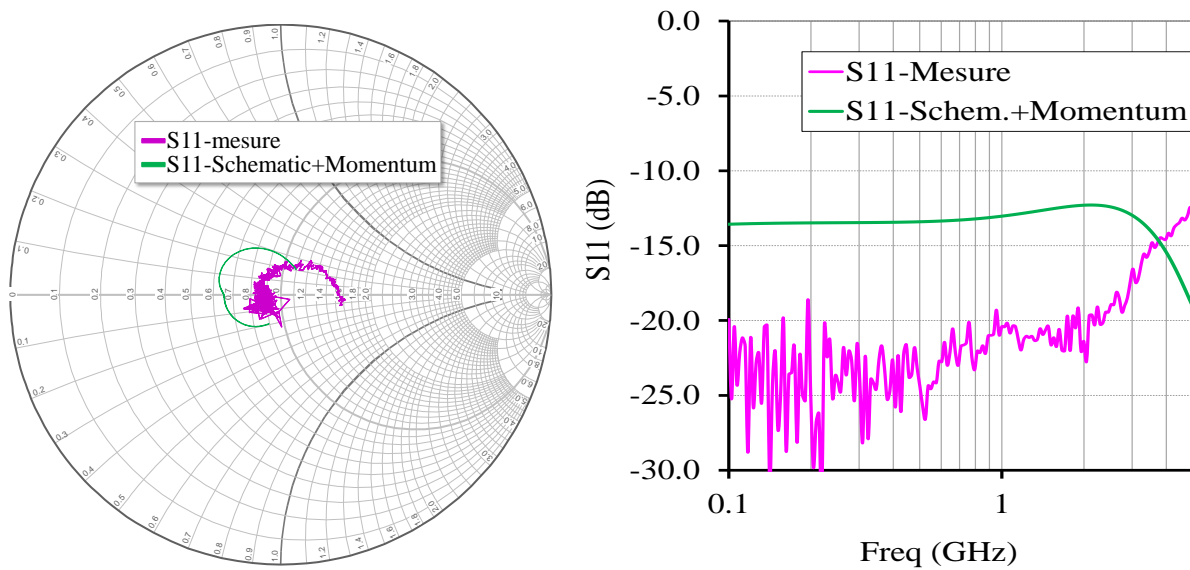


Figure 3-26. *Mesure du S_{11} du LNA (VNA 4 ports calibrés)*

Il apparaît alors que malgré la prise en compte des lignes de connexion en entrée et malgré le calibrage il existe une perte de gain de près de 2dB. Les mesures du buffer de test seul confirment que les pertes de ce dernier sont cohérentes avec les simulations. Il peut donc exister une perte de gain en raison d'une erreur de recopie au sein des miroirs de courant (courant plus faible et transconductance diminuées) ou d'une diminution des valeurs des résistances (R_1, R_3). Ce dernier point a pu être exclu grâce à la présence de résistances de test placées à proximité des résistances réelles du LNA. La bande passante mesurée est bien conforme à celle attendue.

L'analyse de l'adaptation nous donne une information supplémentaire. Il apparaît que le S_{11} est plus proche du centre de l'abaque qu'attendu. Cela signifie que le courant absorbé en entrée est plus faible et que l'on peut supposer que les transconductances g_{m1} et g_{m3} réelles sont plus faibles que celles simulées par rapport à la simulation. Cette dernière hypothèse est plus probable mais elle devrait alors impacter la mesure du bruit ce qui ne semble pas être le cas compte tenu des résultats de mesure qui suivent. On peut donc difficilement conclure avec certitude sur l'origine de cette perte de gain. Des investigations plus poussées sont nécessaires.

Le NF est mesuré à l'intérieur de la bande passante des composants externes (coupleurs hybrides) utilisés pour la conversion mode-commun/mode-différentiel (1.5GHz-3GHz). On utilise une diode de bruit dont on peut commuter la température équivalente de bruit. La méthode utilisée porte le nom de méthode du facteur Y [60]. On constate que la mesure fluctue beaucoup et que la valeur moyenne du NF situe autour de 4dB à 2.45GHz ce qui

semble meilleur que les 4.7dB prévu en simulation avec les dégradations mentionnées plus haut dans le Tableau 3-16. On souligne cependant qu'il existe plusieurs difficultés à soustraire à ces résultats de mesure la contribution de la connectique d'entrée nécessaire à la mesure du bruit (pertes d'insertion des câbles et des hybrides).

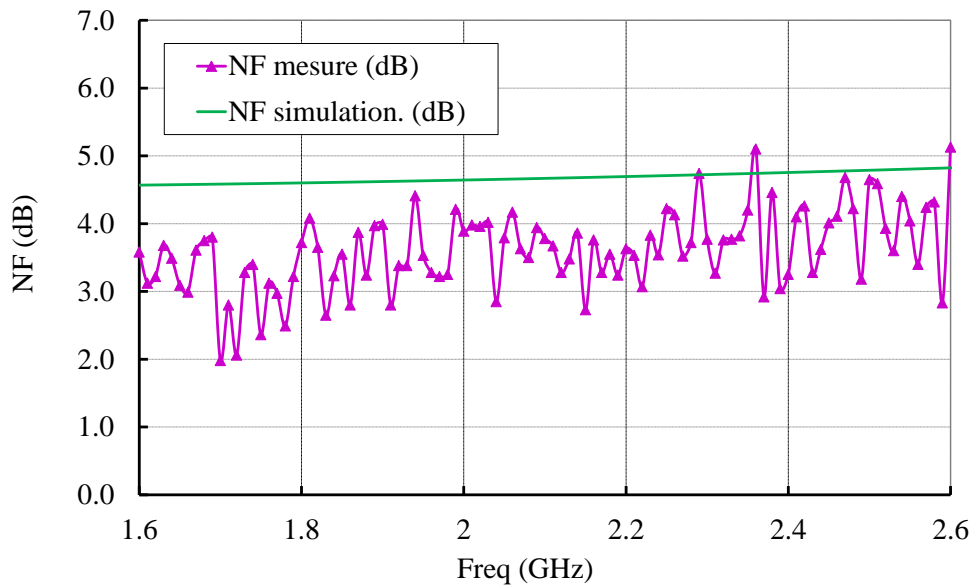


Figure 3-27. Mesure du bruit du LNA – Analyseur de spectre, 4 ports non calibrés avec hybride 180°

Enfin on s'intéresse à la mesure du point de compression et de l' IIP_3 du LNA. La mesure est effectuée avec un analyseur de spectre en retranchant les pertes en entrée. On a recours une nouvelle fois au coupleur hybride pour exciter le LNA en différentiel. Les résultats sont présentés en Figure 3-28. Compte tenu de la perte de gain attendue et mentionnée plus haut, on mesure un point de compression et un IIP_3 meilleur de 2dB. La précision du résultat et aussi dépendant de la calibration de la puissance utilisée pour la mesure, cette dernière est vérifiée lors de la mesure des pertes de la connectique d'entrée. On s'assure donc que la puissance définie sur le générateur 2 tons utilisé, retranchée des pertes en puissance de la connectique d'entrée, est bien la puissance réellement appliquée à l'entrée du circuit testé.

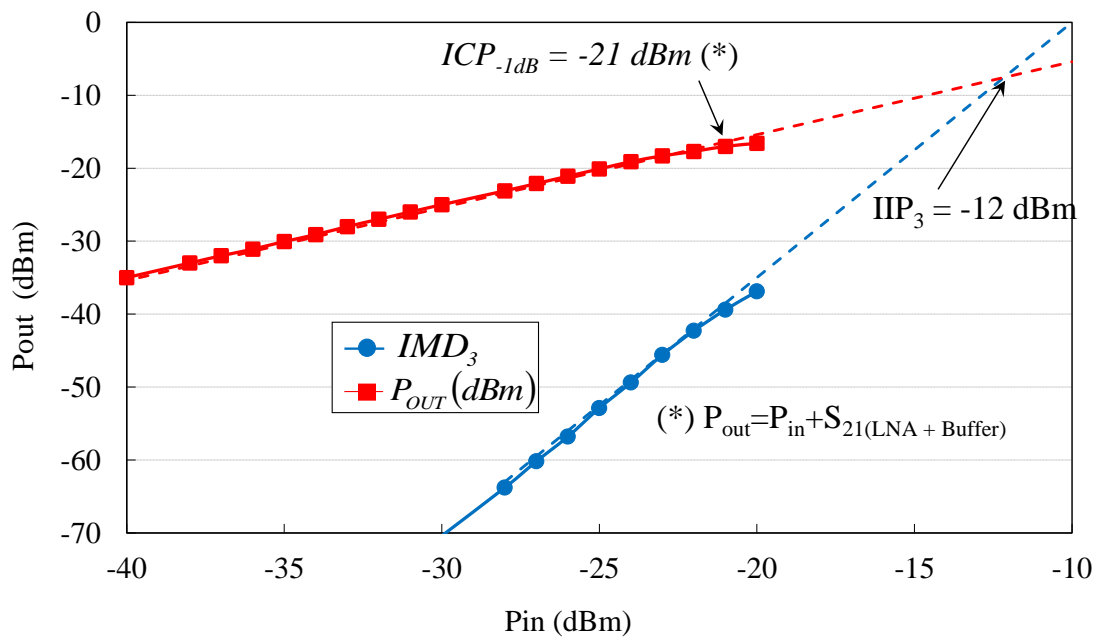


Figure 3-28. *Mesure du point de compression du LNA*

Le Tableau 3-17 résume les spécifications initiales ciblées et les performances mesurées. Si l'on atteint correctement les spécifications en surface, en bruit et en gain, la linéarité et la bande passante sont quant à elles limitées.

Tableau 3-17. *Spécifications initiales et performances mesurées*

PERFORMANCE	A (mm ²)	P_{DC} (mW)	G_v (dB) @2.45GHz	BW (GHz)	NF (dB)	S_{11} (dB)	IIP_3 (dBm)
Spécification	< 0,05	1mW	15 – 20dB	> 2,45GHz	< 5dB	< -10	~ - 10
Mesures	< 0.007	1.32 mW	20.5 dB	2.63 GHz	~4.0	-11	-14dBm

Afin d'améliorer ces performances, une seconde version du LNA différentiel a été réalisée. Nous détaillons à présent cette nouvelle version.

2.3. Version 2 du LNA à g_m —boost basse consommation.

Le circuit étudié est très proche de la première version du LNA. Le schéma implémenté est détaillé ci-dessous en Figure 3-29.

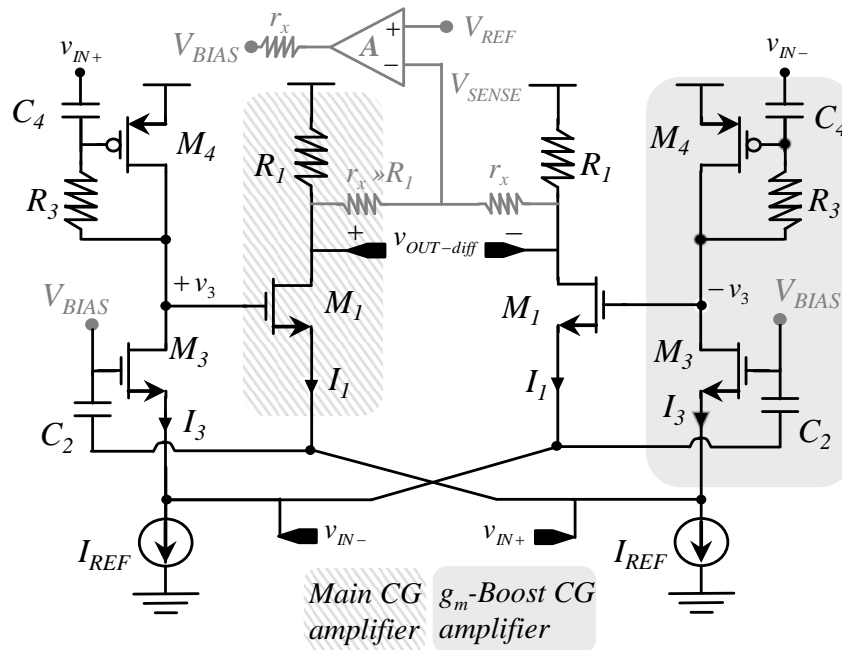


Figure 3-29. Version 2 du LNA à g_m —boost basse consommation.

Tableau 3-18. *Modification du LNA pour la version 2*

MODIFICATIONS DU LNA g_m —BOOST BASSE CONSOMMATION
$I_1 = I_3 = 300\mu A$ $(W/L)_1 = (W/L)_3 = 18\mu/0,13\mu$ $(W/L)_4 = 15\mu/0,13\mu$ $C_4 = 100fF$ $I_{LNA} = 2 \times 600\mu A @ 1,2V \rightarrow P_{DC-LNA} = 1,44mW$

Les différences avec la version 1 sont les suivantes :

- **Suppression de la neutralisation capacitive.** Nous avons en effet vu que cette capacité induisait un pic sur le gain de g_m —boost répercuté sur le gain total du LNA. En revanche, la dégradation de la linéarité était notable [Figure 3-17, p.102]. Afin de pouvoir conserver la bande passante, une autre technique de couplage a été envisagée, toujours à l'aide d'une capacité (nommée C_4 par analogie avec la version 1).
- **Amélioration de la linéarité :** La taille du PMOS de charge a été légèrement augmentée de façon à obtenir au nœud v_3 un potentiel DC plus haut et donc une tension d'overdrive V_{od} de M_1 plus élevée ainsi qu'une tension $(V_{DS} - V_{dsat})$

également plus élevée pour M_3 . La consommation a été légèrement augmentée, et les 2 amplificateurs consomment $2 \times 300\mu A$ chacun, soit une consommation DC de 1.44mW pour le LNA complet.

- Schéma de polarisation : la tension de grille de M_3 est générée à l'aide d'un comparateur DC et d'une boucle associée qui asservie le courant circulant dans R_1 et stabilise la tension de mode commun en sortie.
- Autres modification : les lignes de connexions RF ont été réduites au minimum lors du dessin du circuit avec les plots de test. Le design du buffer de test à été modifié afin que le gain en puissance de l'ensemble LNA+Buffer soit plus élevé tout en restant transparent vis-à-vis des performances en bruit et en linéarité du LNA. Des capacités de découplage supplémentaires ont été ajoutées sur l'ensemble de la puce en renfort des capacités de découplage des pointes.

2.3.1.a. Amélioration de la bande passante

Nous commençons par justifier la suppression des capacités de neutralisation. En l'absence de ces dernières, la bande passante a -3dB du circuit est inférieure à la fréquence de fonctionnement visée du circuit (2,45GHz). Afin d'améliorer la bande passante en sortie de l'amplificateur de g_m —boost plusieurs solutions sont envisageables. Les différentes charges possible pour l'amplificateur de g_m —boost sont illustrées en Figure 3-30 (schémas **a.-d.**).

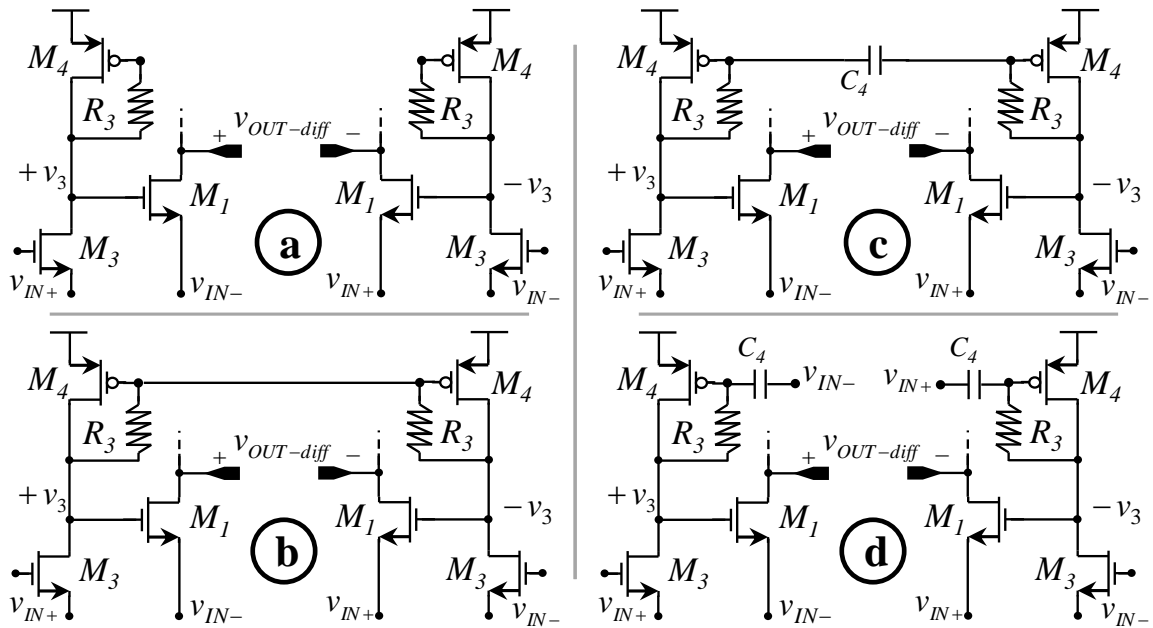


Figure 3-30. Choix possibles d'architecture pour améliorer la bande passante.

En l'absence de connexion différentielle des nœuds $\pm v_3$ il n'existe pas de masse virtuelle sur les grilles des transistors M_4 (Figure 3-30-a). Ces derniers connectés en diode définissent une impédance de charge pour l'amplificateur de g_m —boost bornée par $1/g_{m4}$. Avec la liaison grille-grille des PMOS M_4 , comme dans le cas du LNA V1, l'impédance de charge en RF est alors proche de $R_3 \gg 1/g_{m4}$ (Figure 3-30-b). On a réalisé ainsi une connexion de mode commun. De façon intermédiaire on peut placer une capacité série dans cette connexion de mode commun (Figure 3-30-c) : en basse fréquence le comportement est identique au cas du MOS M_4 monté en diode. En haute fréquence, on retrouve la masse virtuelle dynamique et une impédance proche de R_3 . Le réglage de cette capacité C_4 permet de mettre en forme le gain en haute fréquence. Enfin on peut utiliser le même principe et faire intervenir la transconductance de M_4 dans le gain en l'excitant à l'aide du potentiel d'entrée. C'est cette dernière stratégie (Figure 3-30-d) qui constitue le circuit du LNA V2 tel que représenté ci-avant en Figure 3-29.

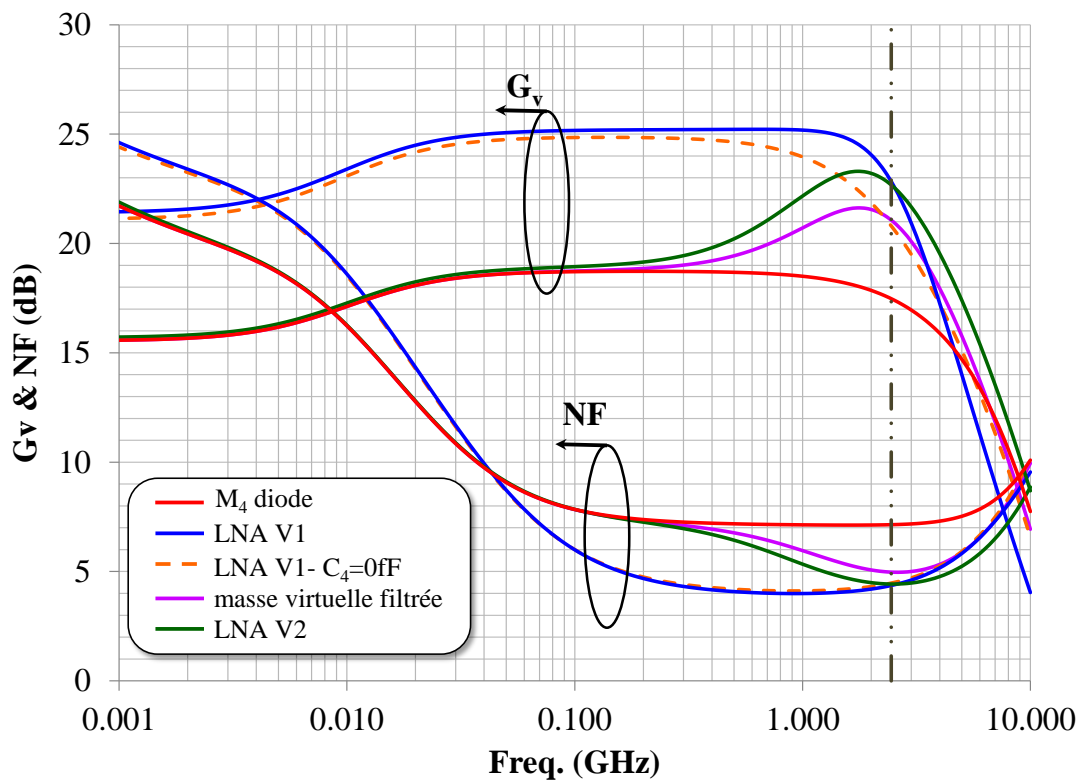


Figure 3-31. Simulation des différentes architectures de la Figure 3-30

Tableau 3-19. *comparatif des architectures de la Figure 3-30*

TYPE DE CONNEXION	$G_v(\text{dB})$ @2.45GHz	$f_{-3\text{dB}}(\text{GHz})$	NF (dB)	IIP ₃ (dBm)
M_4 en diode	17.4	4.10	7.14	-6.10
LNA V1 – $C_4=0$	20.7	1.99	4.50	-8.60
LNA V1	22.4	2.66	4.39	-14.30
Figure 3-30-b $C_4=50\text{fF}$	21.1	3.60	4.97	-8.50
LNA V2- $C_4=100\text{fF}$	22.6	3.50	4.43	-8.10

D’après le Tableau 3-19, la stratégie de la Figure 3-30-d pour le LNA V2 permet d’atteindre une bande passante plus élevée et un IIP₃ plus élevé tout en conservant le gain et le facteur de bruit. L’encombrement silicium est maintenu identique en ajustant la capacité C_4 sur un facteur de forme rectangulaire. La consommation électrique a augmenté de 9% et reste inférieure à 1.5mW. Cette technique présente un autre avantage : en basse fréquence le gain de g_m —boost étant 6dB plus faible que dans le cas du LNA V1, le LNA est désadapté. Il est ainsi plus facile de rejeter les bloqueurs en basse fréquence avec cette approche. L’amélioration de l’IIP₃ est grandement due à l’abandon de la technique de neutralisation.

2.3.1.b. Impédance d’entrée.

L’allure de l’impédance d’entrée dans cette nouvelle version du LNA est un peu plus complexe à interpréter que précédemment. Pour le LNA présenté en Partie 2, nous avons montré l’existence d’une partie inductive dans l’impédance d’entrée. Les calculs détaillés dans l’annexe A.1.b montraient alors la présence d’un effet gyrateur d’impédance faisant intervenir les capacités de MOS. Pour cette nouvelle version du LNA, il existe désormais deux effets gyrateurs parasites, localisés à l’entrée du circuit mais également à la sortie de l’amplificateur de g_m —boost . Les détails du calcul de l’impédance d’entrée pour cette nouvelle version du LNA sont donnés en annexe A.8

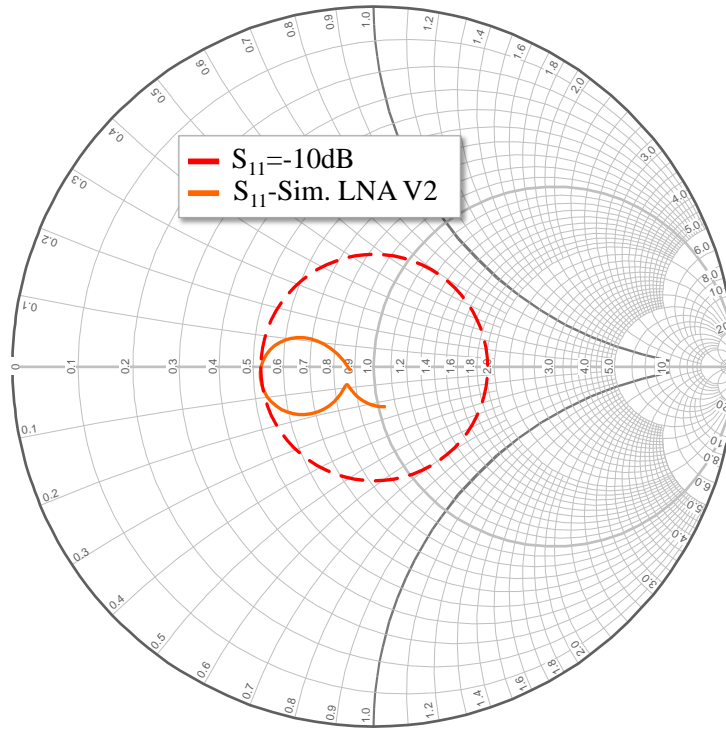


Figure 3-32. S_{11} simulé du LNA V2.

Comme dans le cas de la première version du LNA, le maximum de S_{11} (Figure 3-32) est atteint pour le maximum du gain de g_m —boost. On se situe à la limite de la spécification initiale d'un S_{11} inférieur à $-10dB$.

2.3.1.c. Amélioration de la stratégie de polarisation.

Dans la version 1 du LNA le réglage du rapport de courant DC I_1/I_3 est réalisé par la polarisation de la grille de M_3 (V_{BIAS}) laquelle est reliée à l'entrée du LNA via la capacité C_2 . Il existe un gain DC important entre la tension de grille et les courant de drain des MOS M_1, M_3 de sorte que le réglage de V_{BIAS} est très sensible comme illustré sur la Figure 3-33 ci-dessous.

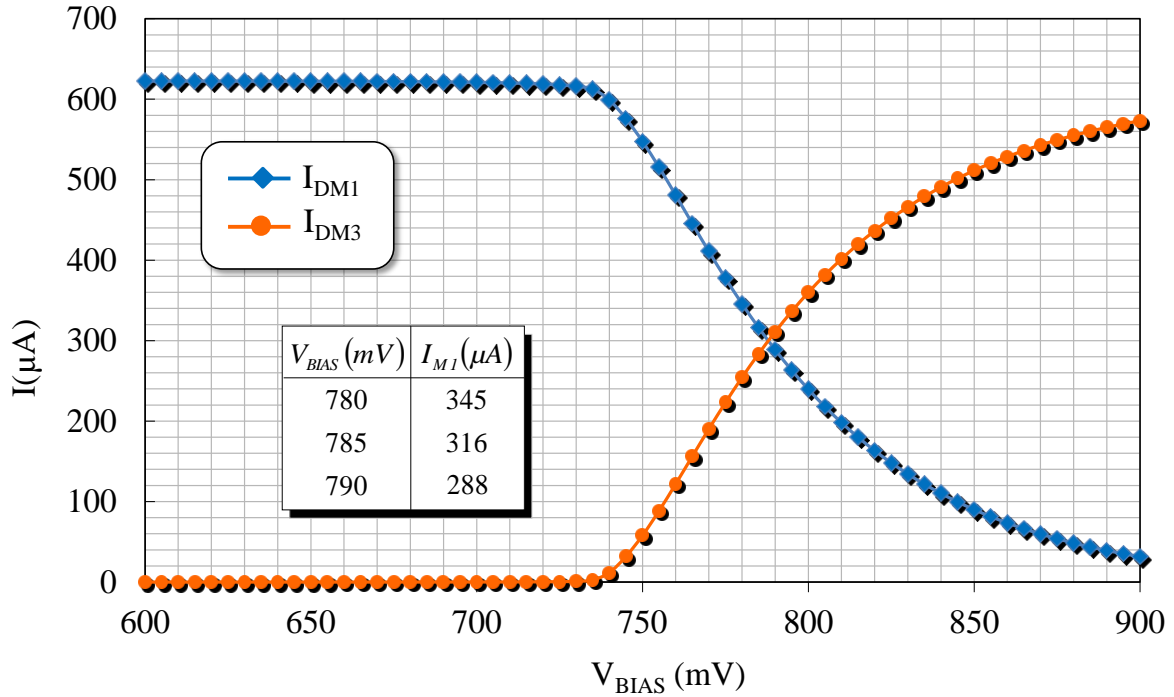


Figure 3-33. Evolution du rapport I_1/I_3 en fonction de V_{BIAS} .

La Figure 3-33 permet d'estimer un gain de $5\mu A/V$ sur les courants de drains autour du point de polarisation optimal ($I_1 = I_3 = 300\mu A - V_{BIAS} = 788 mV$). Une diminution de I_1 (respectivement I_3) engendrera une linéarité dégradé (respectivement un bruit plus élevé). Entre 785mV et 790mV il y a 9% d'écart entre les courants réels et la valeur nominale de $300\mu A$. Si l'on considère une variation de V_{BIAS} entre les limites de 780mV et 795mV l'écart sur les courant atteint 30%. Un contrôle de courant plus précis apparait donc nécessaire. Si l'on cherche à imposer le courant dans le MOS M_3 à l'aide d'une source de courant utilisant M_4 , le schéma équivalent en DC du LNA différentiel peut être représenté sous une forme simple (Figure 3-34). Abstraction faite des techniques d'extension ou de mise en forme du gain, ce circuit nous permet d'expliquer l'instabilité naturelle de la polarisation, laquelle est liée au caractère borné par la somme $I_1 + I_3$, imposé par I_{REF} .

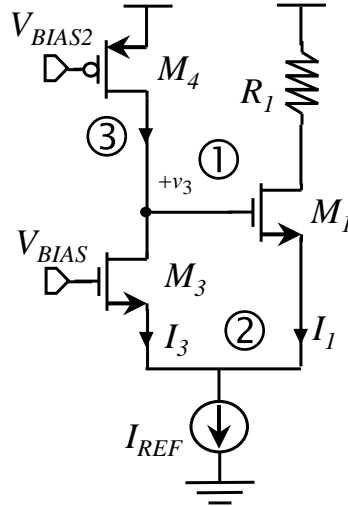


Figure 3-34. Schéma équivalent en DC du LNA avec un courant I_{DM3} imposé par M_4

On suppose V_{BIAS} et V_{BIAS2} fixes et l'on analyse l'effet d'une diminution de I_3 : Le potentiel DC associé au nœud v_3 va donc augmenter (①), ce qui engendre un courant I_1 plus important. La somme des courants de M_1 et M_3 étant constante (②), I_3 doit diminuer. Ceci accélère la diminution de I_3 et l'annulation possible du courant dans M_3 , l'intégralité du courant I_{REF} circulant alors dans M_1 . Nous avons délibérément couplé en DC les deux amplificateurs (par la grille de M_1 et par les sources de M_1 et M_3) afin d'économiser des capacités de liaisons dont l'encombrement silicium est assez important. Cette économie en surface se paye sur l'instabilité de la polarisation puisque le V_{GS} du MOS M_1 ne peut être fixé arbitrairement (notamment pour offrir une dynamique plus importante en tension)

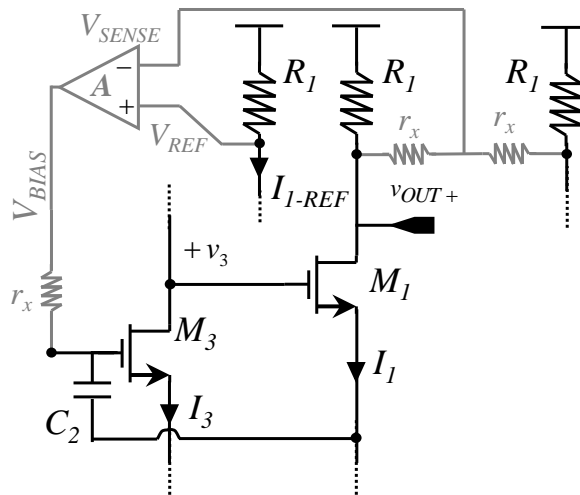


Figure 3-35. Utilisation d'un comparateur DC pour asservir V_{BIAS}

Afin de remédier à cela et pour avoir une approche plus robuste sur le prototype du LNA version 2, une boucle de polarisation à l'aide d'un comparateur DC est implémentée pour assurer un rapport I_1/I_3 contrôlé. Le comparateur DC de bande passante réduite, asservit la

tension V_{BIAS} de grille de M_3 au courant qui circule dans R_1 . On génère une tension de référence V_{REF} déterminant la tension de mode commun de v_{out} à l'aide d'une résistance appariée aux résistances R_1 en sortie du LNA et polarisée par un courant de référence I_{1-REF} . L'erreur sur la polarisation du LNA devient alors essentiellement dépendante du gain du comparateur A lequel doit être élevé ($> 40dB$). Le schéma du comparateur utilisé est disponible en annexe A.7. On vérifie enfin que l'introduction de cette boucle ne dégrade pas les marges de gain et marge de phases nécessaires à la stabilité du circuit. Les performances de la boucle DC et la dispersion des courants de polarisations I_1 et I_3 ainsi asservis sont résumées dans le tableau suivant. L'analyse statistique porte sur 1000 tirages Monte Carlo. On vérifie également les marges de gain et de phase (ΔG_v , $\Delta \Phi$) de la boucle de polarisation.

Tableau 3-20. *Caractéristiques de la boucle DC – Simulation Monte Carlo 1000 tirages.*

PARAMETRE	VALEUR NOMINALE (μ)	DEVIATION STANDARD (σ)
$I_1 (\mu A)$	300,7	11,7
$I_3 (\mu A)$	299,5	16,1
$G_{v-BOUCLE}(dB)$	54,5	1,7
$\Delta G_v(dB)$	-17	0,6
$\Delta \phi(^{\circ})$	78	1,8

Le Tableau 3-20 ci-dessus appelle plusieurs commentaires. Tout d'abord, la déviation à -3σ du gain du comparateur donne un gain de boucle de 49 dB ce qui est suffisant pour maintenir une déviation faible sur les courants I_1, I_3 . On constate également que la marge de gain et la marge de phase sont peu sensibles aux variations technologiques. Le Tableau 3-21 montre les dispersions des performances du LNA version 2 en incluant cette fois ci l'effet de la boucle intégrée sur silicium.

Tableau 3-21. *Distribution des performances du LNA V2 pour une simulation MONTE-CARLO de 1000 Tirages.*

	$I_{LNA}(I_1 + I_3)(\mu A)$	$G_v(dB)$ @2.45GHz	NF (dB)	$S_{11}(dB)$	IIP ₃ (dBm)
Moyenne (μ)	600,2	22.3	4.35	-9.74	-11.38
Ecart type (σ)	18,5	0.14	0.03	1.65	0.32

La distribution de l' IIP_3 est cependant centrée autour d'une valeur inférieure à celle prédit lors de la simulation avec une boucle idéale. Lorsque nous avons présenté le type de charge couplée en entrée pour éviter le recours à la technique de neutrodynage, l' IIP_3 du LNA était amélioré de presque $5dB$ passant de $-14,30dBm$ à $-8dBm$. Il apparait alors que la boucle DC a un effet néfaste sur la performance en linéarité.

2.3.1.d. Effet de la boucle de polarisation sur la linéarité du LNA.

Le point de polarisation DC et le point de compression en entrée ont des valeurs identiques pour le LNA avec ou sans la boucle. Il ne peut donc s'agir que d'un effet parasite qui interfère sur le niveau d' IMD_3 en sortie. Après analyse du spectre du signal V_{BIAS} appliqué sur la grille de M_3 , il apparait que c'est un intermodulant d'ordre 2 qui est responsable de cette dégradation.

En effet, l'entrée du comparateur correspond au signal de mode commun de sortie prélevé sur le point milieu du pont de résistances r_x et ne comprenant que les inter-modulant d'ordres pairs. La bande passante du comparateur étant fixée par la taille de la capacité Miller, la boucle ne rejette pas les inter-modulants basse fréquence proches du point DC (c'est-à-dire les inter-modulants dont les fréquences sont de l'ordre du mégahertz). Enfin le gain de boucle fait intervenir aussi le gain du LNA qui ne filtre pas les basses fréquences (seule la capacité C_2 de CCC limite gain basse fréquence sans apporter une atténuation suffisamment forte).

L'inter-modulant basse fréquence se propage donc dans la boucle et est amplifié par le circuit. Il peut donc exister un processus de recombinaison des inter-modulants basse fréquence dans le circuit qui provoque une dégradation de l' IIP_3 . [61] illustre ce phénomène dans le cas d'un LNA à contre réaction (circuit présenté dans l'état de l'art de ce chapitre Figure 3-4, page 79). Dans notre cas, en présence d'un signal deux tons en entrée (f_1, f_2) et de l'intermodulant d'ordre deux propagé par la boucle de polarisation ($f_2 - f_1$), la non linéarité d'ordre 2 des transconductances du LNA peut générer une distorsion d'ordre 3 par combinaison : $(f_2 + (f_2 - f_1)) = 2f_2 - f_1$.

L' IIP_3 simulé avec et sans la boucle (on connecte alors le nœud V_{BIAS} à une source de tension idéale) est illustré sur la Figure 3-36 ci-dessous. On constate une baisse de l' IIP_3 de 3,5 dB pour le LNA avec la boucle par rapport à celui sans la boucle.

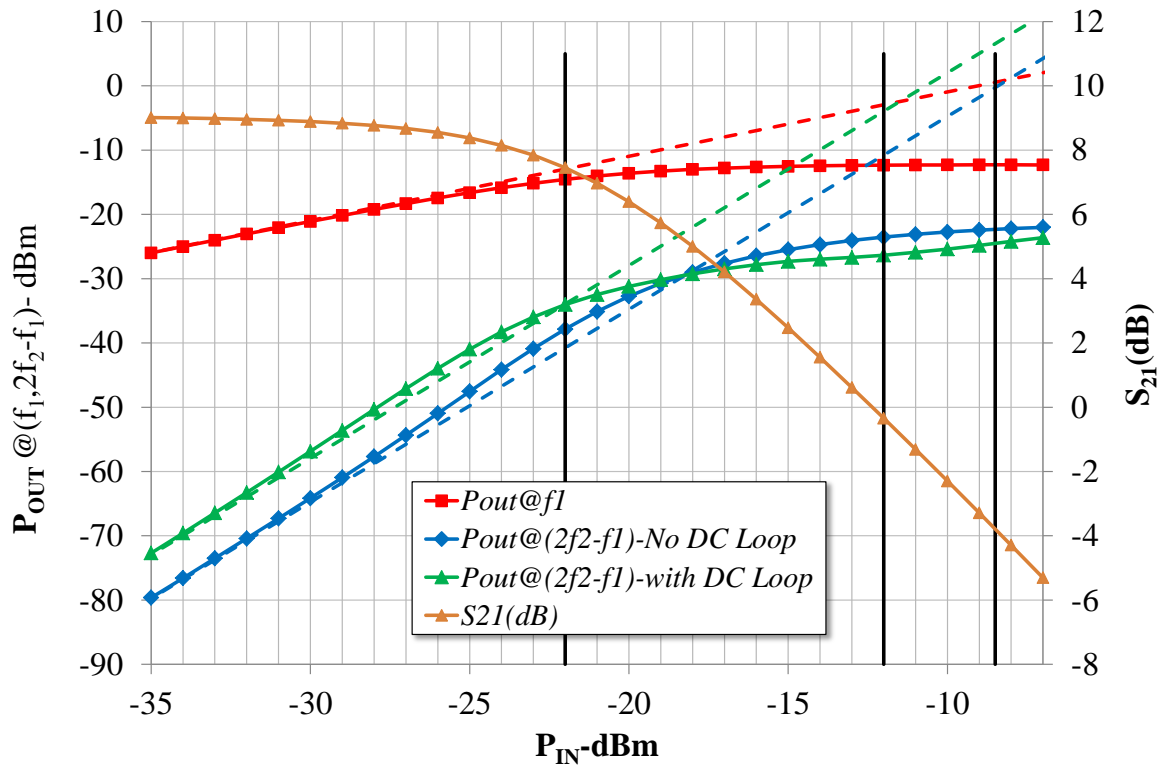


Figure 3-36. Simulation de l' IIP_3 du LNA avec et sans boucle DC- $f_1 = 2.450GHz, f_2 = 2.455GHz$.

Pour conforter l'idée selon laquelle le problème vient de l'intermodulation basse fréquence analyse le résultat d'une simulation 2 tons (avec une distance inter-tons de 5MHz) lorsque la bande passante du comparateur est réduite à l'aide de la capacité Miller du comparateur (c.f annexe A.7). En filtrant progressivement l'inter-modulant $f_2 - f_1$, le reste des paramètres du circuit restant constant, on relève dans le Tableau 3-22 la valeur de l' IIP_3 obtenu en fonction du gain de boucle à 5MHz.

Tableau 3-22. Evolution de l' IIP_3 en fonction de la rejection de l'intermodulant $f_2 - f_1$ à 5MHz par le gain de boucle.

$G_{v-BOUCLE}(@5MHz)$	$IIP_3(dBm)$
20,9	-12,1
1,3	-10,9
-19	-8,1

Il apparaît bien que l' IIP_3 est amélioré lorsque l'on rejette l'inter-modulant basse fréquence d'ordre 2. On obtient donc un compromis entre le gain DC requis pour minimiser l'erreur d'asservissement des polarisations et la bande passante du comparateur DC. Si l'on souhaite

maintenir un gain élevé pour le comparateur, on doit augmenter la taille de la capacité Miller. Dans le dimensionnement proposé, le transistor qui génère cette capacité est dessiné avec une largeur de $200\mu\text{m}$. La réjection du signal à 5MHz nécessite un W d'au moins $1200\mu\text{m}$. On atteint alors une surface pour le comparateur qui se rapproche de la surface totale du LNA, ce qui est assez préjudiciable à l'encombrement de la structure.

Bien que cette solution d'une boucle DC soit plus réaliste du point de vue de la robustesse aux variations technologiques elle pose un sérieux problème sur la linéarité. L'architecture de la boucle serait donc à revoir à l'aide d'une structure filtrante plus performante qu'un comparateur avec un pôle dominant.

2.3.1.e. Optimisation du buffer de test

Nous détaillons cette fois ci le fonctionnement du buffer de test. Ce circuit permet de mesurer les caractéristiques du LNA sans changer ses conditions de charges. Le buffer doit aussi être transparent lors de la mesure du gain, du bruit et de la linéarité du LNA. Pour répondre à ces contraintes une architecture de buffer de type suiveur de tension a été choisie.

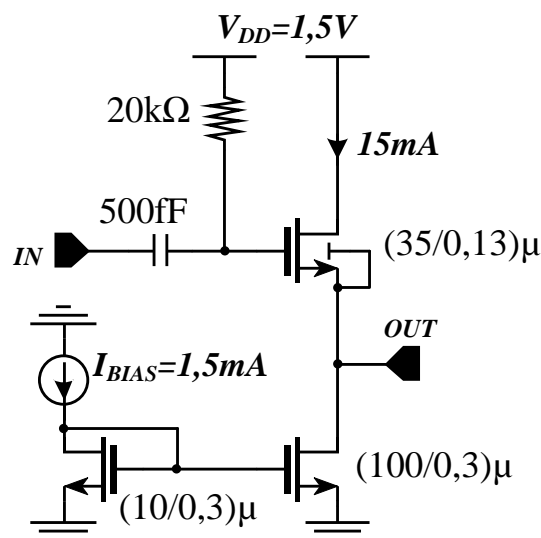


Figure 3-37. Schéma du buffer de test (demi-circuit différentiel)

La capacité de liaison de 500fF placée en entrée du buffer permet de fixer le potentiel de grille à V_{DD} . Les parasites capacitifs de ce composant permettent de charger le LNA avec une capacité $C_L = 35\text{fF}$ auxquels s'ajoutent les parasites des interconnexions pour atteindre les 50fF spécifiés lors de la phase de conception. La valeur de cette capacité provoque une coupure basse fréquence sur le gain du buffer qui apparaît aux alentours de 10MHz . Tout comme dans la version 1 du LNA, le buffer de test est implémenté seul sur la même puce

pour vérifier sa fonctionnalité et vérifier approximativement la capacité d'entrée du circuit (qui est nécessairement associée à la capacité du plot RF).

Cette architecture de buffer garantit enfin la stabilité de l'ensemble LNA+buffer. Le principal inconvénient reste les pertes d'insertions qui limitent le gain de chaîne. Cela peut poser problème lors de la mesure du bruit. En contrepartie, l'allure du gain est suffisamment plate pour ne pas venir influencer l'allure du gain du LNA. Un large courant de polarisation pour maximiser le g_m ainsi qu'une tension d'alimentation élevée (1,5V) permettent respectivement de minimiser les pertes d'insertion et d'obtenir une très bonne linéarité. Les pertes d'insertions sont de 0,5 dB soit 6,5dB d'atténuation en tension. Le facteur de bruit est de 5dB ce qui, compte tenu du gain du LNA, permet de rendre le buffer de test invisible lors de la mesure. Le point de compression très élevé de +3dBm et l'IIP₃ de +18dBm garantit également la transparence du circuit pour mesurer la linéarité du LNA.

Cette architecture de buffer garantit enfin la stabilité de l'ensemble LNA+buffer. Le principal inconvénient reste les pertes d'insertions qui limitent le gain de chaîne. En contrepartie, l'allure du gain est suffisamment plate pour ne pas venir influencer l'allure du gain du LNA.

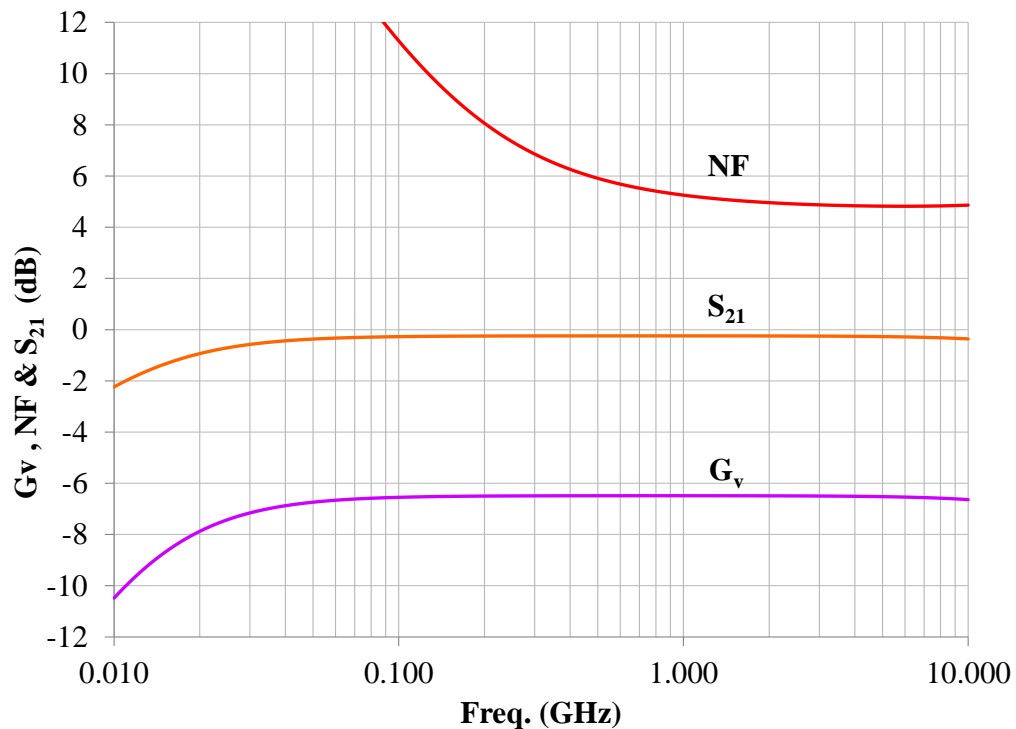


Figure 3-38. Simulation du S_{21} , du gain en tension (G_v) et du NF(simulé sous 50Ω) du buffer de test.

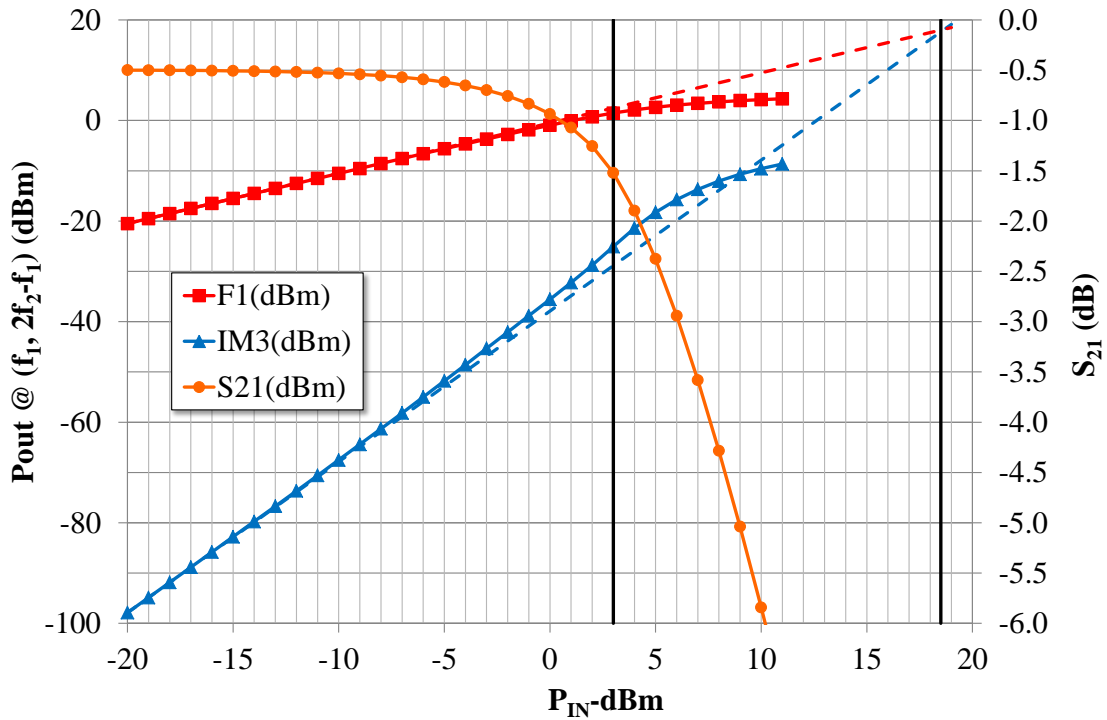


Figure 3-39. Point de compression et IIP₃ du buffer de test.

2.3.1.f. Effet des performances en bruit du buffer sur la caractérisation du LNA.

La présence du buffer de test engendre un impact sur la mesure du bruit et de la linéarité du LNA. Pour les paramètres petit signaux (gain en tension, S_{11}) l'influence du buffer de test peut être aisément soustrait aux mesures du LNA via la mesure seul du buffer. La linéarité du buffer ne pose pas de problème puisque le point de compression de ce dernier est largement supérieur à celui du LNA. Ce dernier comprimera en premier lorsque la puissance du signal d'entrée augmentera.

Concernant le bruit, nous sommes limités par les méthodes de mesures du bruit et le fait qu'il est délicat de déduire le bruit du LNA seul à partir de la mesure en bruit de l'ensemble LNA+Buffer.

La formule de Friis (3-36) [6] permet de quantifier dans quelles proportions le bruit total de l'ensemble LNA+Buffer est proche du bruit du LNA seul. Idéalement si le buffer a peu d'impact sur le bruit on considèrera alors que le facteur de bruit du LNA peut être mesuré précisément même en présence du buffer.

$$F_{LNA+BUFFER} = F_{LNA-50\Omega} + \frac{F_{BUFFER-ZoutLNA} - 1}{A_{p-LNA}} \quad (3-36)$$

$$A_{p-LNA} = \left(\frac{Z_{IN-LNA}}{Z_{IN-LNA} + Z_S} \right)^2 \cdot G_{v-LNA}^2 \cdot \frac{Z_S}{Z_{outLNA}} \quad (3-37)$$

L'équation (3-36) décrit le lien entre le facteur de bruit de l'ensemble LNA+Buffer ($F_{LNA+BUFFER}$) et le facteur de bruit du LNA seul $F_{LNA-50\Omega}$. Cette équation fait intervenir comme paramètres le gain en puissance disponible A_{p-LNA} défini en (3-37) ainsi que le facteur de bruit du buffer $F_{BUFFER-ZoutLNA}$ mesuré en référence à une source de bruit d'impédance $Z_{Bruit} = Z_{OUT-LNA}$. Le premier paramètre peut être obtenu en effectuant plusieurs mesures du LNA à l'aide du VNA. Le second paramètre est beaucoup plus délicat à obtenir car cela nécessiterait de pouvoir mesurer le paramètre $F_{BUFFER-ZoutLNA}$ à l'aide d'un tuner d'impédance. On peut cependant vérifier en simulation que le second terme de l'équation (3-36) est négligeable et conclure que le buffer de test n'a pas d'impact sur la mesure du bruit. La figure Figure 3-40 présente les simulations du facteur de bruit de la chaîne avec et sans buffer de test. L'allure du gain A_{p-LNA} est également représentée.

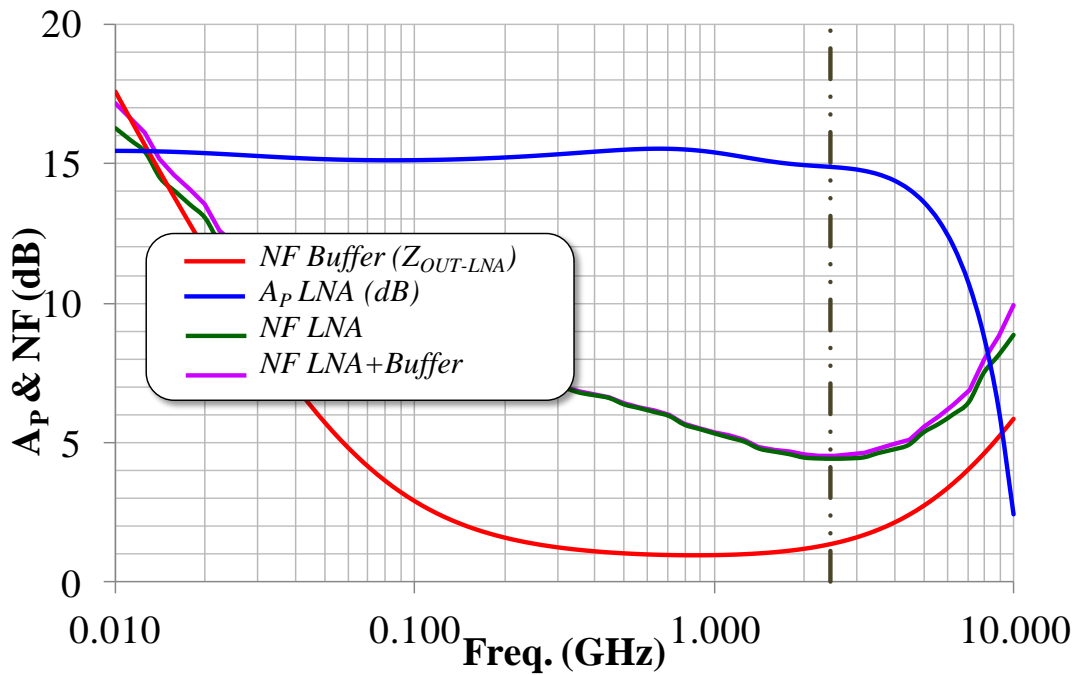


Figure 3-40. Effet du facteur de bruit du buffer de test sur la mesure en bruit.

2.4. Implémentation et mesure du LNA version 2

Le LNA V2 est mesuré dans les mêmes conditions que le premier prototype (test sous pointes). La seconde version contient le schéma modifié sans technique de neutrodynage ainsi que le comparateur DC qui complète la structure.

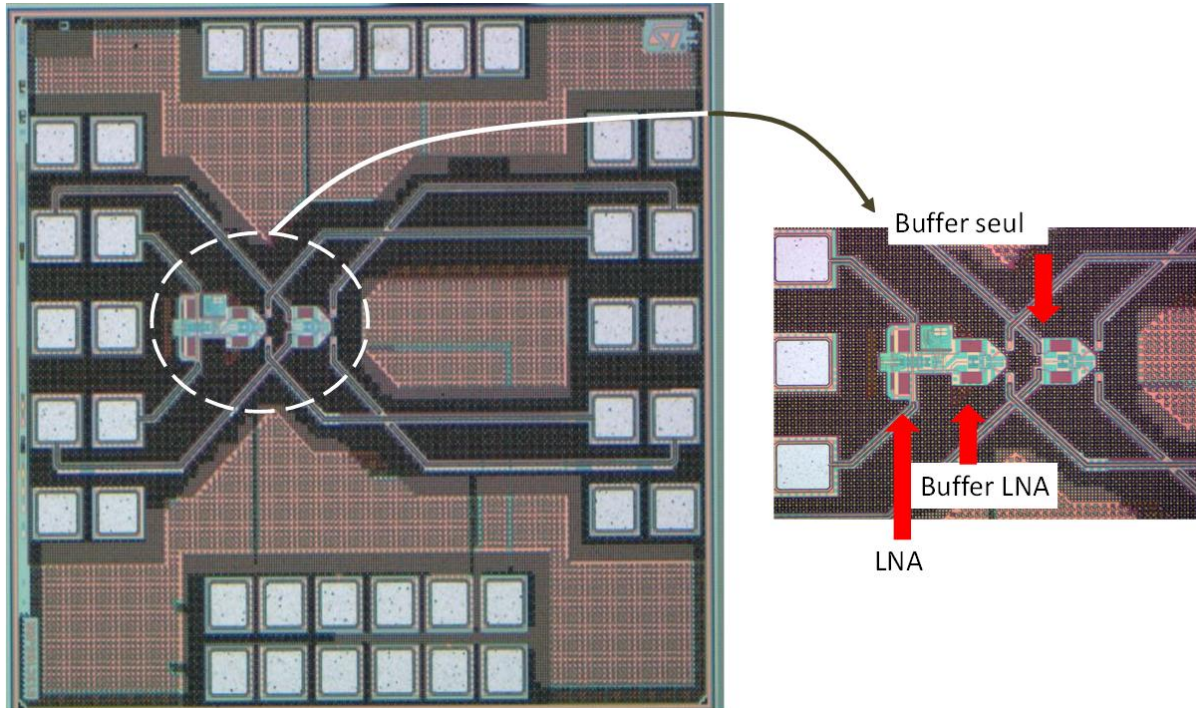


Figure 3-41. Vue du prototype de LNA V2.

Afin de s'affranchir des problèmes dus aux lignes de connexion en entrée, le circuit LNA a été rapproché au plus possible des plots de connexion RF. On minimise ainsi l'inductance de ces dernières.

2.4.1.a. Mesure des performances du LNA V2.

Les conditions de mesure du LNA V2 sont identiques à celle de la première version. On vérifie l'allure du gain en tension et de l'adaptation en entrée.

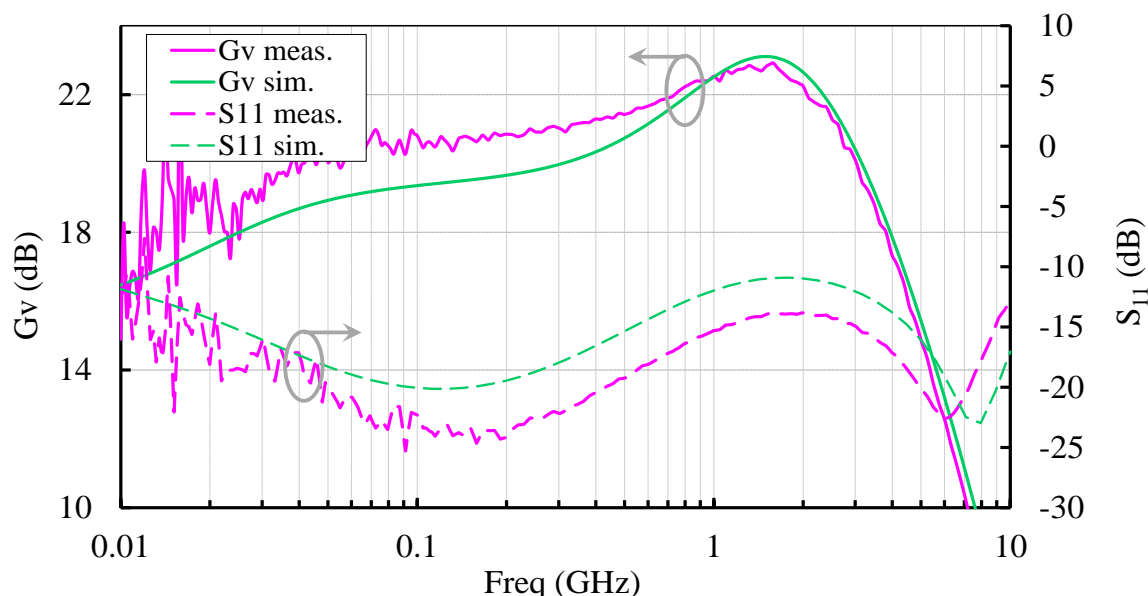


Figure 3-42. Mesure du gain en tension et du S11 du LNA V2

La mesure confirme le dépassement lié à l'effet de la capacité C_4 (cf Figure 3-30 page 114). Le gain dans la bande passante est proche de celui simulé. Il existe cependant une différence de l'ordre de 1.0-à 1.2dB pour le gain en basse fréquence. Cette différence peut s'expliquer par une modélisation erronée des parasites sur cette bande de fréquence (lignes d'entrées). Dans la mesure où cette différence devient inférieure à 1dB au-delà de 400MHz, elle ne constitue pas un problème de fonctionnalité à approfondir. L'allure de l'adaptation en entrée mesurée suit la caractéristique attendue. On vérifie également que la nature de l'admittance d'entrée présente les mêmes domaines de fonctionnement que ceux détaillés dans l'annexe A.8.

Grâce au couplage de la tension en entrée réalisé via les capacités C_4 , la bande passante autour du gain maximal s'étend désormais jusqu'à 3.1GHz (le premier prototype de LNA présentait une bande passante maximale de 2.6GHz).

La mesure de bruit est effectuée dans cette bande passante. Pour cette seconde version du LNA, on utilise une méthode de mesure exploitant les détecteurs pic et RMS d'un VNA plutôt que d'utiliser une diode de bruit commuté comme précédemment [62]. Compte tenu du gain

de chaine plus élevé à l'aide du buffer de test utilisé, la mesure présente moins de fluctuation dans la bande.

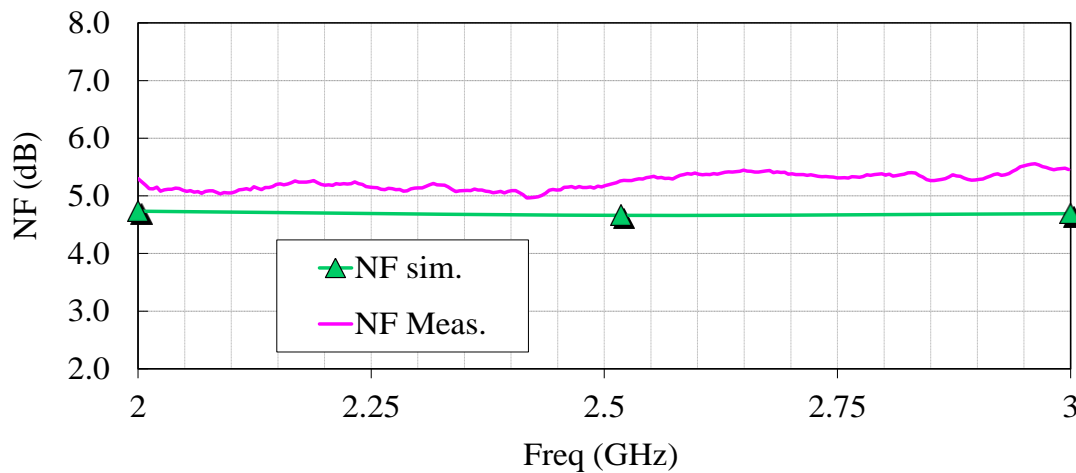


Figure 3-43. Mesure du facteur de bruit du LNA V2.

A la fréquence de 2.4GHz, le facteur de bruit minimal mesuré est de 4.9dB. La valeur moyenne de la mesure du facteur de bruit se situe autour de 5.0dB sur l'ensemble d'une bande de fréquence située entre 2.0GHz et 3.0GHz.

On vérifie enfin la linéarité du circuit. La boucle de polarisation DC peut être contournée afin de fixer manuellement le potentiel de la grille du transistor M3 d'amplification du montage GC gm-boost . Grace à cette fonctionnalité, on peut confirmer par la mesure que la boucle de polarisation a un impact significatif sur la non-linéarité du LNA comme le montre la Figure 3-44.

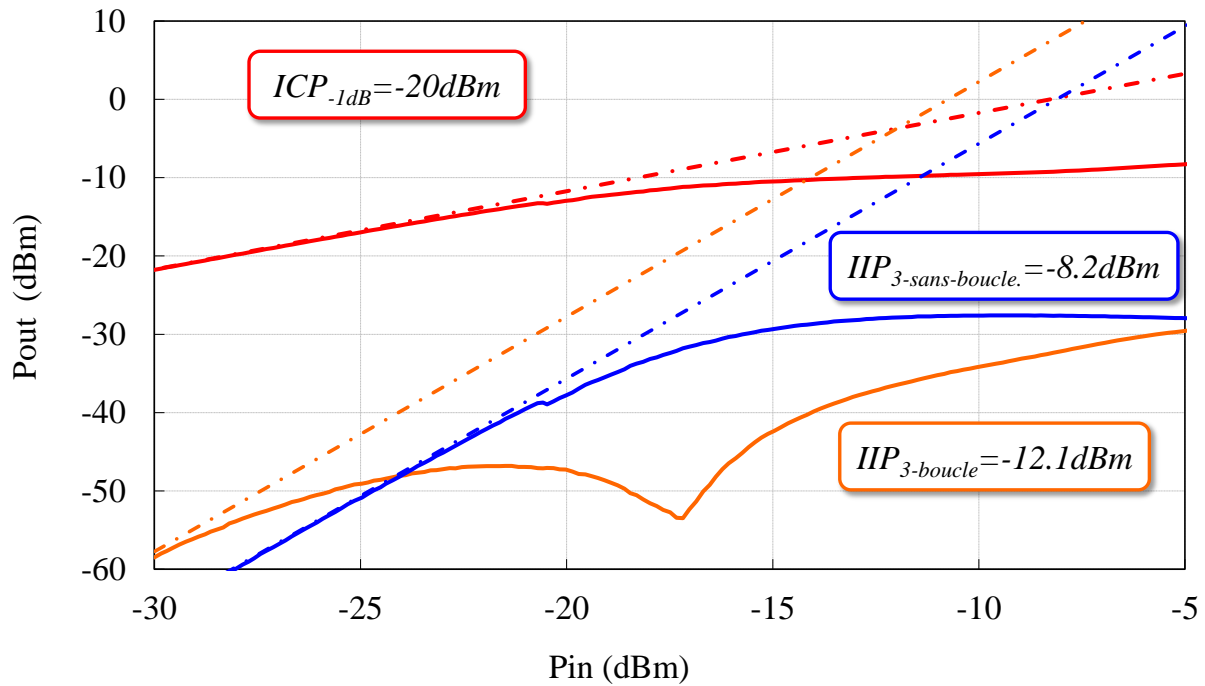


Figure 3-44. Mesure du point de compression et de l' IIP_3 du LNA avec et sans boucle DC.

On retrouve sur cette figure les points de compression simulés (paragraphe 2.3.1.d). La dégradation de la linéarité de 4dB est un facteur limitant de la structure dans la mesure où la capacité de neutrodynage a été enlevée précisément pour améliorer la linéarité du LNA. On résume les performances obtenues pour les deux prototypes de LNA dans le tableau suivant :

Tableau 3-23. Specifications initiales et performances mesurées (V1 & V2)

PERFORMANCE	A (mm ²)	P_{DC} (mW)	G_v (dB)	BW (GHz)	NF (dB)	S_{11} (dB)	IIP_3 (dBm)
Spécification	< 0,05	1mW	15 – 20dB	> 2,45GHz	< 5dB	< –10	~ – 10
Mesures LNA V1	< 0.007	1.32 mW	20.5 dB	2.63 GHz	~4.0	–11	–14dBm
Mesures LNA V2	0.008	1.44 mW	21.5 dB	3.1 GHz	~5.0	–15	–8.2dBm

Compte tenu de la limitation en linéarité liée à la boucle de polarisation DC, et afin d'être plus complet quant aux solutions possibles pour résoudre ce problème, nous terminons cette partie en présentant brièvement une possibilité d'amélioration de la structure pour se passer de la boucle de polarisation DC.

131

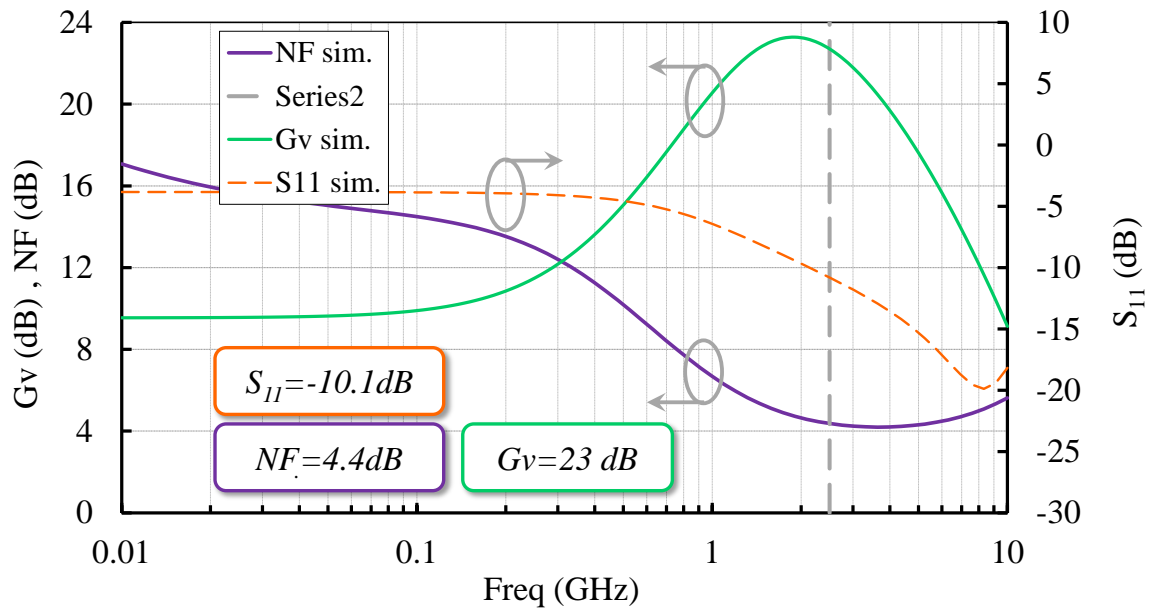


Figure 3-46. Performance simulées du LNA V2 modifié de la Figure 3-45.

Ce type de modification de circuit requiert cependant une surface légèrement plus importante mais présenterait moins de difficultés en termes de polarisation.

2.5. Conclusion sur la conception de LNA sans inductances.

Après avoir étudié les différentes réalisations issues de l'état de l'art, il est apparu que la conception de LNA basé sur le montage GC présente un compromis plus favorable vis-à-vis de la consommation que les autres structures de LNA sans inductances. L'utilisation de boucles de contre réaction et d'anté-actions (g_m —boost, capacité de neutrodynage) permet d'améliorer les performances en gain d'un LNA sans avoir à considérablement augmenter la consommation de ce dernier.

A partir de cette étude, nous avons proposé une structure différentielle originale basée sur un étage amplificateur en GC couplé à un étage de g_m —boost lui aussi en GC. A faible consommation électrique, du fait de la réduction du niveau des transconductances g_m , cette structure présente l'avantage de permettre une adaptation en entrée pour une consommation réduite par rapport à celle des structures classiques utilisant un étage de g_m —boost en SC. La combinaison de techniques de g_m —boost passive et active s'est avérée utile pour maximiser la transconductance équivalente du LNA ainsi réalisé. Grâce à l'utilisation de capacité de couplages de taille réduite et à l'absence d'inductance, la faisabilité d'un LNA différentiel basé sur cette structure dont l'encombrement est largement inférieure à 0.1mm^2 a été proposé. Nous avons également montré l'impact limitatif de capacité de neutrodynage sur la linéarité. Nous avons également souligné l'existence de mécanisme indirect de dégradation de la linéarité via une boucle de polarisation DC qui n'a pourtant pas d'impact apparent sur les caractéristiques petit signal du LNA dans la bande de fréquence considérée. Enfin, la structure proposée répond aux spécifications initiales requise pour des applications basse consommation dans la bande ISM à 2.45GHz.

Ce type de circuit peut encore être amélioré selon les spécifications recherchées. L'utilisation de montage à réutilisation de courant [44] est une voie intéressante à examiner dans le cas où la spécification en linéarité peut être relâchée.

Chapitre 4. Perspectives et conclusions 134

1.1. Perspectives à la conception basse consommation sans inductances	134
1.1.1. Minimisation des coûts liés aux inductances.	134
1.1.2. Coûts liés à l'implémentation différentielle.	137
1.1.3. Architecture radio filtrantes innovantes.....	138
1.2. Conclusion Générale.....	144

Chapitre 4. Perspectives et conclusions

1.1. Perspectives à la conception basse consommation sans inductances

Nous avons vu tout au long de ce rapport les contraintes de conceptions liées à deux paramètres :

- La faible consommation électrique, nécessaire compte tenu de l'autonomie limitée des récepteurs mobiles fonctionnant à l'aide d'une batterie
- La conception sans inductance, essentiellement requise pour des impératifs de coût lié au technologie CMOS avancées dont les masques sont de plus en plus coûteux.

Jusqu'à présent, la majorité des architectures de récepteur radios qui tentent de réduire la consommation tirent avantage des surtensions obtenues grâce au réseaux LC dont les inductances passives sont de linéarité infinie et ne requiert aucune consommation électrique supplémentaire. C'est précisément cette approche en terme d'architecture qui rend contradictoires les contraintes de consommation et d'encombrement.

Dans ce paragraphe nous verrons qu'il existe cependant des travaux dans l'état de l'art qui proposent des solutions alternatives aux approches privilégiées dans ce rapport. Il est par exemple possible de minimiser l'encombrement et le coût des inductances moyennant des performances réduites. Il existe enfin des architectures capable de proposer un filtrage bande étroite sans utiliser d'inductance, voire sans utiliser de LNA.

1.1.1. Minimisation des coûts liés aux inductances.

La façon la plus simple de limiter le coût surfacique d'une inductance est de limiter son diamètre. Cette approche aboutit à des inductances dont le facteur de qualité est cependant

réduit [6]. Dans [63] une structure de solénoïde vertical est proposé (Figure 4-1) . Les enroulement de l'inductance sont dessinés à l'aide de deux niveaux de métaux épais et superposé de telle façon que le la fréquence d'auto-résonance de l'inductance ainsi que sont facteur de qualité gardent tout deux des valeurs acceptables ($Q > 4$) en haute fréquence. La Figure 4-2 illustre le facteur de qualité obtenu à 5GHz ainsi que l'encombrement complet d'un LNA utilisant ce type d'inductance. Pour de faible surfaces l'inductance sous forme de solénoïde est utilisable à 5GHz. Les performances du LNA réalisée sont données dans le Tableau-4-1. La version du LNA avec solénoïde 3D aboutit à un IIP_3 dégradé de $3dB$ mais les performances en gain et en bruit sont conservées.

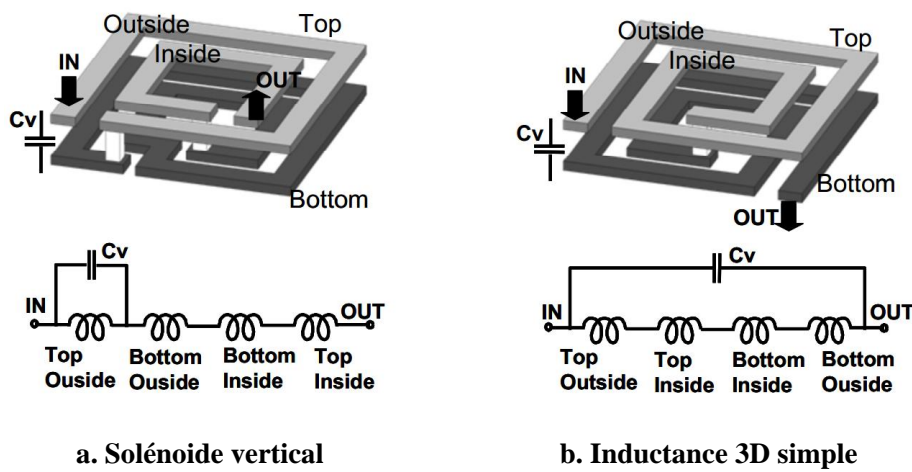


Figure 4-1. Dessin d'une inductance compacte sous forme de solénoïde vertical.

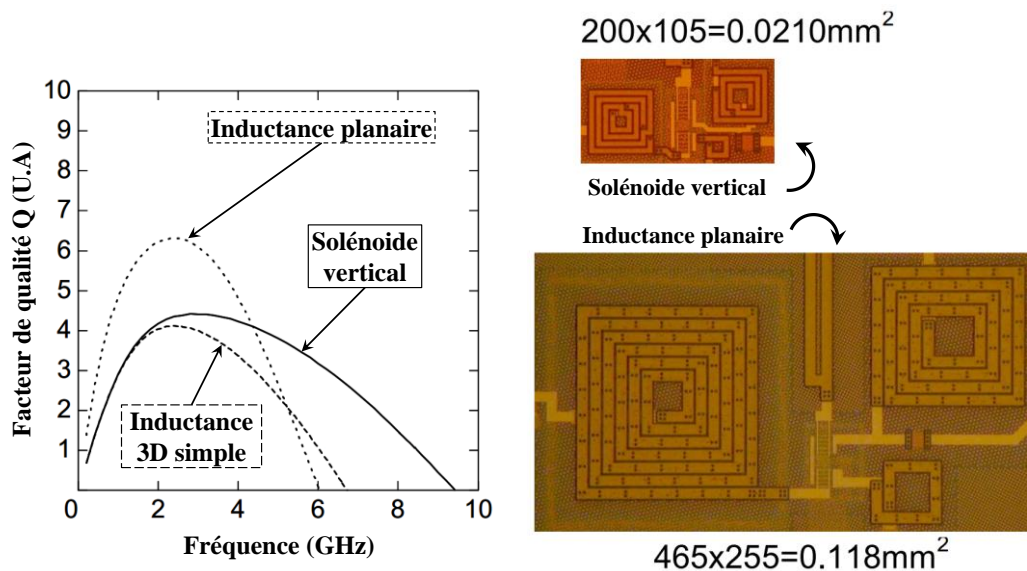


Figure 4-2. Facteur de qualité du solénoïde et encombrement du LNA de [63]

Cette réalisation illustre qu'un compromis judicieux de conception autour d'une inductance de facteur de qualité dégradé peut amener à des performances identiques pour un encombrement surfacique six fois moindre lequel devient comparable aux LNA sans inductances. Dans [41] l'utilisation d'une inductance planaire multi-niveaux de faible facteur de qualité est proposé dans le cadre d'un amplificateur à contre réaction résistive. La technique utilise toujours des niveaux de métaux superposés et sacrifie le facteur de qualité de l'inductance de charge.

Tableau-4-1. LNA de [63]

Tech. & Type d'inductance		A (mm ²)	P_{DC} (mW)	V_{DD} (V)	S_{21} (dB)	NF (dB)	f_o (GHz)	IIP ₃ (dBm)
CMOS 90nm	Planaire 3D	0,118	3.6	1.0	13.1	2.0	5.0	-5.0
	Solénoïde 3D	0.021	3.6	1.0	15.7	2.0	5.0	-8.6

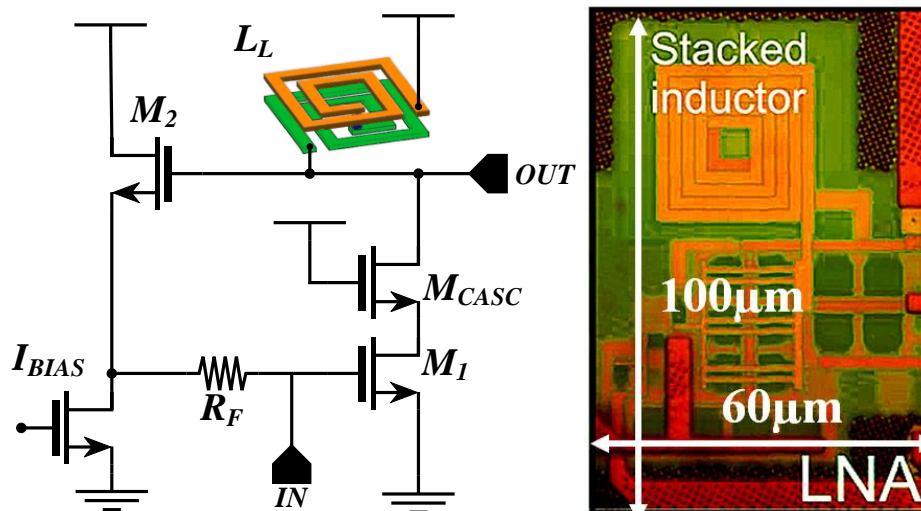


Figure 4-3. LNA a contre réaction résistive avec inductance compacte [41]

Tableau-4-2. Performance du LNA ISSU de [41]

Tech. & Type d'inductance		A (mm ²)	P_{DC} (mW)	V_{DD} (V)	G_v (dB)	NF (dB)	f_o (GHz)	IIP ₃ (dBm)
CMOS 130nm	Planaire 3D	0,004	3.8	1.0	20.8	2.2	3.4	-11.0

Ces deux exemples illustrent l'intérêt qu'il y a à profiter des multiples niveaux de métaux épais présent dans une technologie digitale (habituellement utilisés pour le routage des alimentations digitales) afin de concevoir des inductance de faible facteur de qualité mais très

compactes. Ceci indique que l'intérêt de la conception sans inductance doit être aussi jugé vis à vis du gain en surface obtenu par rapport à l'ensemble d'un récepteur.

1.1.2. Coûts liés à l'implémentation différentielle.

L'implémentation différentielle d'un circuit radio offre des avantages importants comme la rejection des parasites et des bloqueurs de mode commun ainsi que l'amélioration de la dynamique en tension [6]. Les baluns sont largement utilisés pour la conversion en mode différentiel étant donnée leur linéarité excellente. Dans le cas d'un LNA différentiel, il existe trois approches possibles pour obtenir un fonctionnement différentiel. On peut tout d'abord utiliser un balun externe connecté à un LNA différentiel, ou intégrer un balun sur la puce lequel sera placé en entrée du LNA différentiel. Enfin on peut également utiliser un LNA non différentiel mais chargé par un balun intégré en sortie du LNA et destiné à fournir une sortie différentielle (Figure 4-5). La différence entre ces trois approches est donc le type de LNA (différentiel ou non) ainsi que le nombre de plots nécessaire sur le silicium pour connecter le LNA vers l'antenne. Ce dernier point impacte le coût d'un circuit lorsque l'on considère l'encapsulation sous forme de micro-boîtier intégrés de type CSP [64] (Chip Scale Package) tel qu'illustré en Figure 4-4. La remarque est valable pour d'autres types d'encapsulation au niveau silicium appartenant à la famille des WLP (Wafer Level Packaging)

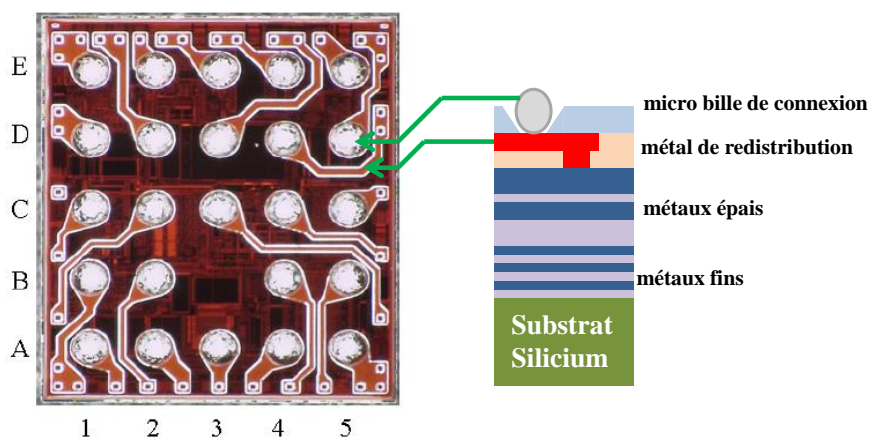


Figure 4-4. Exemple de micro-boîtier CSP [64] et vue en coupe de l'empilement technologique propre à l'encapsulation CSP.

Pour connecter les micros billes du boîtier CSP, qui sont destinées à relier le circuit à la carte d'application, un niveau de métal supplémentaire (métal de redistribution) est alors nécessaire. Il apparaît que la multiplication des entrées sorties aboutit à un encombrement non négligeable selon la finesse des micro-billes du boîtier. Cela incite alors à reconsidérer

l'utilisation d'une entrée différentielle pour le LNA (Figure 4-5) [65]. Cette considération est à mettre en parallèle au gain surfacique propre à la conception sans inductance. Bien qu'elle sorte du cadre de ce mémoire, la problématique de l'encapsulation fait partie intégrante du coût industriel d'un récepteur radio.

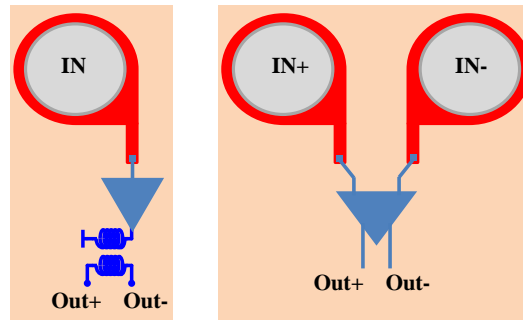


Figure 4-5. *Illustration de l'encombrement d'une entrée différentielle compte tenu de l'espacement des micro-billes d'un encapsulage CSP.*

Dans ce paragraphe nous avons souligné le compromis qu'il peut exister en matière de conception sans inductance. L'approche consistant à dégrader le facteur de qualité d'une inductance passive tout en la rendant compacte peut aboutir à des circuits effectivement peu encombrants. Nous avons également souligné que des considération autour de l'encapsulage en micro-boîtier redessinent la stratégie de conception sans inductance lorsque l'on inclut l'encombrement propre au nombre d'entrée sorties radio.

1.1.3. Architecture radio filtrantes innovantes

Récemment, plusieurs travaux se sont intéressés à l'utilisation de la propriété translatrice des mélangeurs passif pour générer une impédance bande étroite de facteur de qualité élevé [66]. La plupart des travaux utilisant cette technique ciblent une application radio dite cognitive, adaptable à plusieurs bandes des fréquences. Ces architectures sont donc pensées pour maximiser la robustesse aux bloqueurs et la consommation électrique qui en résulte est nécessairement plus élevée en comparaison aux récepteurs dédiés aux réseaux de capteurs.

Le principe de la technique repose sur la propriété d'un mélangeur passif à générer en amont des interrupteurs (commuté au rythme de l'oscillateur local f_{OL}) un courant radio proportionnel à l'impédance présentée en bande de base. Ceci aboutit à la translation de l'impédance en bande de base autour de la fréquence f_{OL} . La propriété est illustré symboliquement sur la Figure 4-6. Si l'impédance en bande de base possède un caractère passe bas dont la fréquence de coupure est notée f_c alors la bande passante de l'impédance

translatée en amont sera théoriquement de $2f_c$. Le facteur de qualité équivalent du filtrage amont peut être très élevé étant donné la relation $Q = f_{OL}/2f_c$. L'implémentation de ce type de solution ne requiert pas d'inductance et les niveaux de facteur de qualité du filtrage obtenus sont grandement améliorés ($Q \cong 100$ [67]).

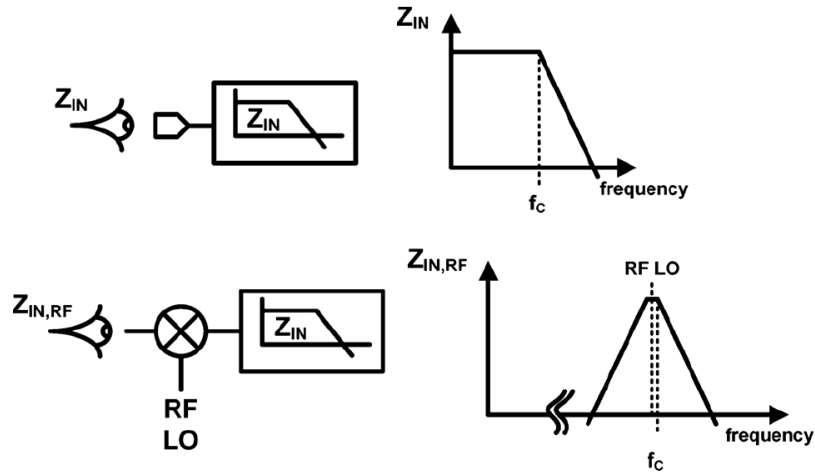


Figure 4-6. *Représentation conceptuelle de la translation d'impédance au travers d'un mélangeur passif.*

Il devient alors possible d'exploiter cette caractéristique en remplacement du LNA et d'effectuer directement l'adaptation à l'antenne à l'aide d'un mélangeur passif placé en entrée du circuit [68]. On dégrade cependant le facteur de bruit de la chaîne ($NF = 5.5dB$ dans les travaux présentés dans [68]) ; de plus il existe des contraintes de conceptions supplémentaires comme l'isolation entre l'oscillateur local et l'antenne ainsi que les contraintes de bruit des amplificateurs en bande de base.

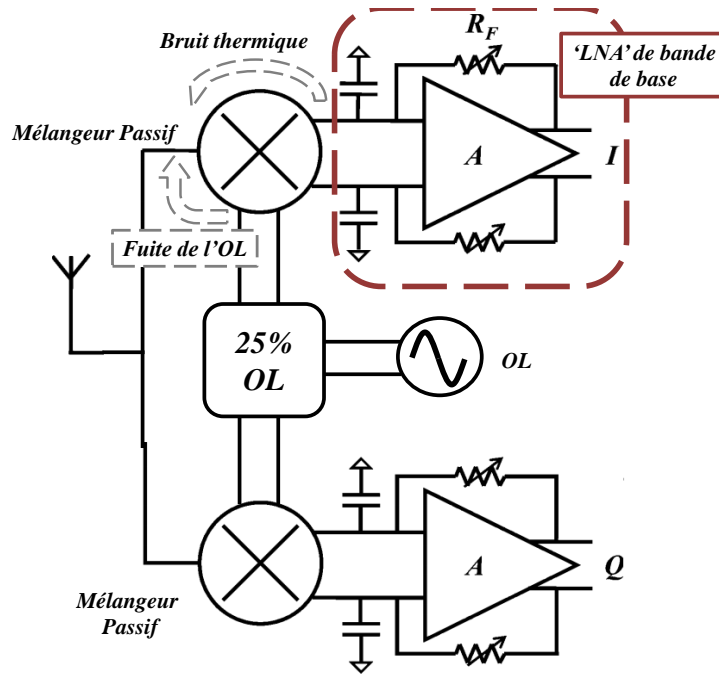


Figure 4-7. Architecture présentée dans[68].

Tableau-4-3. Performance du récepteur complet issu de [68].

TECHN.	A^* (mm ²)	P_{DC} (mW)	f_o (GHz)	BW (MHz)	G_v (dB)	NF (dB)	Z_{IN} (Ω)	IIP_3 (dBm)
CMOS 65nm	2	60	0.05-2.4	20	80	5.5	16- 265	+27

* La surface de l'ensemble LNA + mélangeurs est estimée à 0.2mm²

Une autre approche de cette technique de translation consiste à conserver un LNA en entrée de la chaîne en remplaçant toutefois la conversion courant tension (obtenue habituellement à l'aide d'une réseau LC de charge) par un mélangeur passif. On obtient alors un filtrage radio de haut facteur de qualité réalisé en courant et non en tension. Cette approche améliore la robustesse du LNA vis à vis des bloqueurs dans la bande et hors bande eu égard à la faible excursion en tension développée en sortie de la transconductance d'entrée. La présence de cette transconductance améliore également l'isolation entre l'oscillateur local et l'antenne.

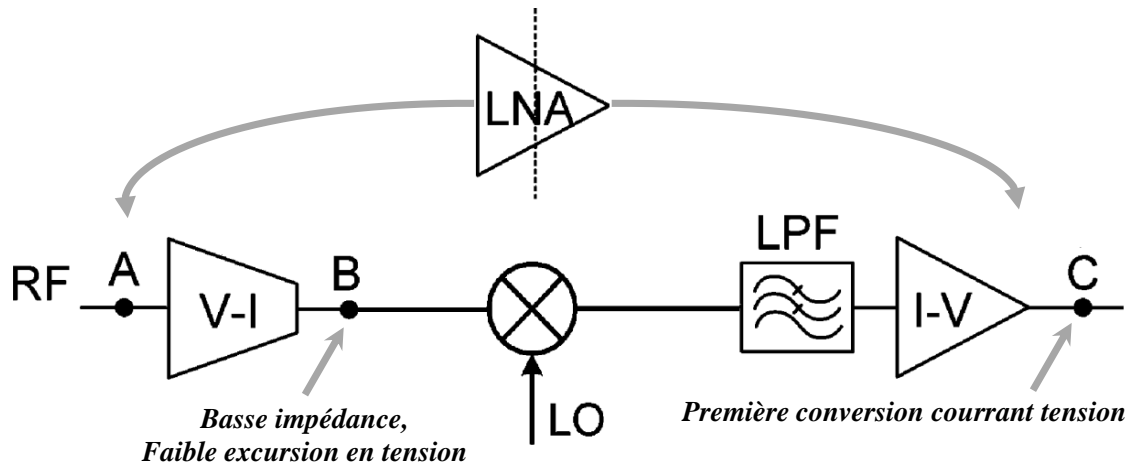


Figure 4-8. Architecture de récepteur avec filtrage en courant [69]

Tableau-4-4. Performance du récepteur complet issu de [69]

<i>TECHN.</i>	A^* (mm ²)	P_{DC} (mW)	f_o (GHz)	BW (MHz)	G_v (dB)	NF (dB)	Z_{IN} (Ω)	IIP_3 (dBm)
CMOS 65nm	1	60	0.4-0.9	12	34.4	4	50	+16

Enfin les travaux présentés dans [69] portent un regard critique sur la robustesse d'une approche sans LNA étant donné les contraintes fortes de coexistence entre différentes normes et les niveaux de sensibilités requis pour recevoir dans certaines bandes de fréquence. Dans, [69] bien que la technique de la translation d'impédance soit utilisée, l'architecture du circuit utilise entre autres un LNA a charge résonante LC nécessaire pour garantir un facteur de bruit sur la chaine suffisamment faible vis à vis des spécifications en sensibilité. Une inductance compacte de faible facteur de qualité est utilisée et l'alimentation du LNA est élevée à 2.5V. La qualité du filtrage en sortie du LNA est obtenue grâce à une translation d'impédance. L'architecture est représentée sur la Figure 4-9 ci-dessous. Le centrage du filtrage bande étroite est réalisé à l'aide d'une banque de capacité en bande de base.

Les travaux issus de l'état de l'art présenté dans ce paragraphe constituent des perspectives qui ne sont pas liés directement aux objectifs de la thèse. Il apportent une information complémentaires et des alternatives au contraintes posées par le sujet. Les possibilités offertes par ces nouvelles techniques pourraient être combinés aux informations de ce mémoire pour proposer de nouvelles solutions à l'amplification faible bruit et faible coût.

1.2. Conclusion Générale

Les travaux présentés dans ce mémoire ciblent les problématiques d'amplification faible bruit faible coût. Compte tenu de l'essor des normes spécifiques aux réseaux de capteurs (i.e la norme IEEE 802.15.4) un nouveau besoin de récepteur autonomes en énergie et faible coût incite à avoir de nouvelles approches de conception.

Dans le contexte technologique actuel, l'intégration monolithique de récepteur radio en technologie CMOS reste l'approche la plus compétitive pour une industrialisation à grande échelle. Ce contexte a une implication concrète immédiate sur la conception de la couche physique étant donné le compromis coût-surface que nous avons plusieurs fois mentionné. Il devient alors pertinent de repenser l'architecture basse consommation sans avoir à recourir aux inductances passives intégrées.

Deux approches ont été successivement considérées dans ces travaux. L'utilisation d'inductances actives en lieu et place des inductances passives prend le parti de poursuivre l'utilisation d'architecture radio basé sur les résonnances propres aux réseaux LC tout en s'affranchissant des contraintes d'encombrement. Cette approche est cependant impactée par les caractéristiques large signal de l'inductance active qui sont substantiellement mauvaise vis à vis de son homologue passive. Il apparaît alors qu'au prix d'un sacrifice sur le facteur de qualité, les inductances actives ne sont pas aptes à fournir le même filtrage qu'un réseau LC passif. Des techniques de linéarisation des inductances actives sont possibles, nous avons montré que l'on pouvait améliorer le point de compression d'une charge inductive active en envisageant un contrôle précis d'un paramètre de polarisation. Ce type de technique est pertinente dans le cadre d'un récepteur agile en performance doté de capacités de calibration interne. Il est cependant important de tenir compte de la complexité ainsi ajoutée et donc du risque propre aux circuits nécessitant une calibration précise pour fonctionner.

Devant la limite des performances obtenus à l'aide d'inductance active, nous avons alors étudié les performances des circuits LNA large bande. Les objectifs de faibles consommation fixés par le contexte des réseaux de capteurs étaient quant à eux maintenus. Nous avons montré que la performance en bruit et en gain des LNA sans inductance à faible consommation et basé sur la topologie grille commune pouvait être améliorée par l'utilisation de boucles d'antéactions multiples. La topologie de LNA basé sur des montages grille-commune multiples et utilisant des boucles de g_m --boost actif et passif permet d'atteindre des niveaux de bruit tout à

fait acceptable pour les application réseaux de capteurs. Le circuit proposé dans ses deux versions offre une implémentation naturellement différentielle, un gain élevé ainsi qu'une consommation de l'ordre du milliwatt. Des améliorations sont encore possible autour de cette structure pour lui conférer une flexibilité supplémentaire mais la preuve de concept a été détaillée dans ce mémoire.

Si l'on considère ces travaux avec plus de recul on peut imaginer de nouvelles perspectives à l'amplification faible bruit faible coût. Nous avons dans ce dernier chapitre survolé les approches connexes à celles poursuivies dans ce rapport. L'utilisation d'inductance passives compactes multi-niveau ou l'utilisation de mélangeur passif pour le filtrage bande étroite sont des pistes pertinentes. Ces approches bien que sortant du cadre de notre travail incitent à considérer la conception sans inductances comme une voie possible qui doit être évaluée par rapport à ces nouvelles techniques dans l'objectif d'une maîtrise du cout de fabrication.

Chapitre 5. Bibliographie générale

1.1. Références bibliographique citées

- [1] *Zigbee Alliance Consortium*. Available: <http://www.zigbee.org>
- [2] G. WANG, "Comparison and Evaluation of Industrial Wireless Sensor Network Standards ISA100.11a and WirelessHART," Department of Signals and Systems, CHALMERS UNIVERSITY OF TECHNOLOGY, 2011.
- [3] K.-T. Le, "Designing a ZigBee-ready IEEE 802.15.4-compliant radio transceiver," *RFDesign Magazine* <http://rfdesign.com>, pp. 42-50, 2004.
- [4] "IEEE Standard for Local and metropolitan area networks--Part 15.4: Low-Rate Wireless Personal Area Networks (LR-WPANs) Amendment 1: MAC sublayer," *IEEE Std 802.15.4e-2012 (Amendment to IEEE Std 802.15.4-2011)*, pp. 1-225, 2012.
- [5] C. Bernier, *et al.*, "An ultra low power 130nm CMOS direct conversion transceiver for IEEE802.15.4," in *Radio Frequency Integrated Circuits Symposium, 2008. RFIC 2008. IEEE*, 2008, pp. 273-276.
- [6] B. Razavi, *RF Microelectronics*: Prentice Hall, 1997.
- [7] L. Lolis, *et al.*, "Bandpass sampling Rx system design issues and architecture comparison for low power RF standards," in *Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on*, 2010, pp. 3921-3924.
- [8] R. Bagheri, *et al.*, "An 800-MHz–6-GHz Software-Defined Wireless Receiver in 90-nm CMOS," *Solid-State Circuits, IEEE Journal of*, vol. 41, pp. 2860-2876, 2006.
- [9] "International Technology Roadmap For Semiconductors (I.T.R.S)," 2011.
- [10] A. Matsuzawa, "RF-SoC-expectations and required conditions," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 50, pp. 245-253, 2002.
- [11] J. L. G. Jiménez. (2004, *AMS and RF technology roadmap*. Available: http://petrus.upc.es/limits/topic_6.htm
- [12] J. Borremans, *et al.*, "A bondpad-size narrowband LNA for digital CMOS," in *2007 IEEE Radio Frequency Integrated Circuits*, ed, 2007, pp. 677-680.
- [13] J. Borremans, *et al.*, "A Fully Integrated 7.3 kV HBM ESD-Protected Transformer-Based 4.5–6 GHz CMOS LNA," *Solid-State Circuits, IEEE Journal of*, vol. 44, pp. 344-353, 2009.
- [14] W. Chuan, *et al.*, "A Wideband Predictive Double-Pi Equivalent-Circuit Model for On-Chip Spiral Inductors," *Electron Devices, IEEE Transactions on*, vol. 56, pp. 609-619, 2009.
- [15] W. Da-Ke, *et al.*, "A Low-Voltage and Low-Power CMOS LNA Using Forward-Body-Bias NMOS at 5GHz," in *Solid-State and Integrated Circuit Technology, 2006. ICSICT '06. 8th International Conference on*, 2006, pp. 1658-1660.
- [16] B. D. H. Tellegen, "The Gyrator : A New Electric Network Element," *Phillips Research Reports*, vol. 3, pp. 81-101, 1949.
- [17] A. Thanachayanont and A. Payne, "VHF CMOS integrated active inductor," *Electronics Letters*, vol. 32, pp. 999-1000, 1996.
- [18] H. Chao-Chih, *et al.*, "Improved quality-factor of 0.18- μ m CMOS active inductor by a feedback resistance design," *Microwave and Wireless Components Letters, IEEE*, vol. 12, pp. 467-469, 2002.
- [19] M. M. Reja, *et al.*, "A CMOS 2.0-11.2 GHz UWB LNA using active inductor circuit," in *Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on*, 2008, pp. 2266-2269.

- [20] W. Zhuo, *et al.*, "Programmable low noise amplifier with active-inductor load," in *Circuits and Systems, 1998. ISCAS '98. Proceedings of the 1998 IEEE International Symposium on*, 1998, pp. 365-368 vol.4.
- [21] L. Ler Chun, *et al.*, "A 2.4-GHz CMOS Tunable Image-Rejection Low-Noise Amplifier with Active Inductor," in *Circuits and Systems, 2006. APCCAS 2006. IEEE Asia Pacific Conference on*, 2006, pp. 1679-1682.
- [22] A. Sunca, *et al.*, "A Wide Tunable Bandpass Filter Design Based on CMOS Active Inductor," *Ph.D. Research in Microelectronics and Electronics (PRIME), 2012 8th Conference on*, pp. 1-4, 2012.
- [23] A. Thanachayanont, "A 1.5-V high-Q CMOS active inductor for IF/RF wireless applications," in *Circuits and Systems, 2000. IEEE APCCAS 2000. The 2000 IEEE Asia-Pacific Conference on*, 2000, pp. 654-657.
- [24] L. Chun-Lee, *et al.*, "Compact, High-Q, and Low-Current Dissipation CMOS Differential Active Inductor," *Microwave and Wireless Components Letters, IEEE*, vol. 18, pp. 683-685, 2008.
- [25] G. F. Szczepkowski, Ronan, "Negative resistance generation in degenerated gyrator," *Royal Irish Academy Colloquium on Emerging Trends in Wireless Communications 2008, 23rd & 24th April 2008, Dublin, Ireland.*, 2008.
- [26] A. Thanachayanont and S. S. Ngow, "Low voltage high Q VHF CMOS transistor-only active inductor," in *Circuits and Systems, 2002. MWSCAS-2002. The 2002 45th Midwest Symposium on*, 2002, pp. III-552-III-555 vol.3.
- [27] H. Xiao and R. Schaumann, "A 5.4-GHz high-Q tunable active-inductor bandpass filter in standard digital CMOS technology," *Analog Integrated Circuits and Signal Processing*, vol. 51, pp. 1-9, 2007.
- [28] S. Vema Krishnamurthy, *et al.*, "Noise-Cancelling CMOS Active Inductor and Its Application in RF Band-Pass Filter Design," *International Journal of Microwave Science and Technology*, vol. 2010, 2010.
- [29] G. Szczepkowski and R. Farrell, "Noise and dynamic range of CMOS degenerated active inductor resonators," in *Circuit Theory and Design, 2009. ECCTD 2009. European Conference on*, 2009, pp. 595-598.
- [30] A. A. Abidi, "Noise in active resonators and the available dynamic range," *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on*, vol. 39, pp. 296-299, 1992.
- [31] L. Chun-Lee, *et al.*, "CMOS Active Inductor Linearity Improvement Using Feed-Forward Current Source Technique," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 57, pp. 1915-1924, 2009.
- [32] W. Sansen, "Distortion in elementary transistor circuits," *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, vol. 46, pp. 315-325, 1999.
- [33] F. Bruccoleri, *et al.*, "Wide-band CMOS low-noise amplifier exploiting thermal noise canceling," *Solid-State Circuits, IEEE Journal of*, vol. 39, pp. 275-282, 2004.
- [34] I. R. Chamas and S. Raman, "Analysis, Design, and X-Band Implementation of a Self-Biased Active Feedback G(m)-Boosted Common-Gate CMOS LNA," *Ieee Transactions on Microwave Theory and Techniques*, vol. 57, pp. 542-551, Mar 2009.
- [35] A. Madan, *et al.*, "Fully Integrated Switch-LNA Front-End IC Design in CMOS: A Systematic Approach for WLAN," *Solid-State Circuits, IEEE Journal of*, vol. 46, pp. 2613-2622, 2011.
- [36] Trung-Kien, "CMOS Low-Noise Amplifier Design Optimization Techniques," 2004.
- [37] P. J. H. P. R. Gray, S. H. Lewis, R.G. Meyer, *Analysis And Design Of Analog Integrated Circuits*, 4th ed., 2001.

- [38] B. G. Perumana, *et al.*, "Resistive-feedback CMOS low-noise amplifiers for multiband applications," *Ieee Transactions on Microwave Theory and Techniques*, vol. 56, pp. 1218-1225, May 2008.
- [39] H. Darabi and A. A. Abidi, "A 4.5-mW 900-MHz CMOS receiver for wireless paging," *Ieee Journal of Solid-State Circuits*, vol. 35, pp. 1085-1096, Aug 2000.
- [40] M. S. M. Vidojkovic, J. Van der Tang, P. Baltus, A. Roermund, "A broadband, inductorless LNA for multi-standard applications," in *ECCTD*, 2007, pp. 260-263.
- [41] J. Borremans, *et al.*, "Low-Area Active-Feedback Low-Noise Amplifier Design in Scaled Digital CMOS," *Ieee Journal of Solid-State Circuits*, vol. 43, pp. 2422-2433, Nov 2008.
- [42] A. Bevilacqua, *et al.*, "Design of broadband inductorless LNAs in ultra-scaled CMOS technologies," in *Proceedings of 2008 Ieee International Symposium on Circuits and Systems, Vols 1-10*, ed, 2008, pp. 1300-1303.
- [43] R. Ramzan, *et al.*, "A 1.4V 25mW inductorless wideband LNA in 0.13μm CMOS," *2007 IEEE International Solid-State Circuits Conference (IEEE Cat. No.07CH37858)*, 2007 2007.
- [44] S. B. T. Wang, *et al.*, "Design of a sub-mW 960-MHz UWBCMOS LNA," *Ieee Journal of Solid-State Circuits*, vol. 41, pp. 2449-2456, Nov 2006.
- [45] W. Sanghyun, *et al.*, "A 3.6 mW differential common-gate CMOS LNA with positive-negative feedback," *2009 IEEE International Solid-State Circuits Conference (ISSCC 2009)*, 2009 2009.
- [46] A. Liscidini, *et al.*, "Analysis and design of configurable LNAs in feedback common-gate topologies," *Ieee Transactions on Circuits and Systems II-Express Briefs*, vol. 55, pp. 733-737, Aug 2008.
- [47] S. A. Saleh, *et al.*, "A Low-Power Differential Common-Gate LNA," in *2008 51st Midwest Symposium on Circuits and Systems, Vols 1 and 2*, ed, 2008, pp. 137-140.
- [48] W. Hongrui, *et al.*, "A Wideband Inductorless LNA With Local Feedback and Noise Cancelling for Low-power Low-voltage Applications," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, Aug. 2010.
- [49] L. Xiaoyong, *et al.*, "'Gm-boosted' common-gate LNA and differential colpitts VCO/QVCO in 0.18-μm CMOS," *Ieee Journal of Solid-State Circuits*, vol. 40, Dec. 2005.
- [50] A. Amer, *et al.*, "A low-power wideband CMOS LNA for WiMAX," *Ieee Transactions on Circuits and Systems II-Express Briefs*, vol. 54, pp. 4-8, Jan 2007.
- [51] M. Pui-In, *et al.*, "An open-source-input, ultra-wideband LNA with mixed-voltage ESD protection for full-band (170-to-1700 MHz) mobile TV tuners," *ISCAS 2008. 2008 IEEE International Symposium on Circuits and Systems*, 2008 2008.
- [52] H. Ali and K. Sharaf, "Noise cancellation techniques in multi-standard low noise amplifiers," *2007 International Conference on Microelectronics*, 2008 2008.
- [53] R. Harjani and L. Cai, "Inductorless design of wireless CMOS frontends," in *Asicon 2007: 2007 7th International Conference on Asic, Vols 1 and 2, Proceedings*, ed, 2007, pp. 1367-1370.
- [54] Y. Cui, *et al.*, "On the excess noise factors and noise parameter equations for RF CMOS," in *2007 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, Digest of Papers*, ed, 2007, pp. 40-43.
- [55] K. Allidina and M. N. El-Gamal, "A 1 V CMOS LNA for low power ultra-wideband systems," *2008 15th IEEE International Conference on Electronics, Circuits and Systems (ICECS 2008)*, 2008 2008.
- [56] J. Liu, *et al.*, "0.5 V ultra-low power wideband LNA with forward body bias technique," *Electronics Letters*, vol. 45, pp. 289-U1, Mar 12 2009.

- [57] R. M. P.I.Mak, "A 0.46mm² 4dB-NF unified receiver front-end for full-band mobile TV in 65nm CMOS " presented at the ISSCC, 2011.
- [58] J. Rollett, "Stability and Power-Gain Invariants of Linear Twoports," *Circuit Theory, IRE Transactions on*, vol. 9, pp. 29-32, 1962.
- [59] R. D. Middlebrook, "Measurement of loop gain in feedback systems†," *International Journal of Electronics*, vol. 38, pp. 485-512, 1975/04/01 1975.
- [60] A. Technologies, "Fundamentals of RF and Microwave Noise Figure Measurements," *Agilent Application Note*, vol. AN 57-1, pp. 12-13, 2010.
- [61] J. Borremans, "Nonlinearity Analysis of Analog/RF Circuits Using Combined Multisine and Volterra Analysis."
- [62] S. N. A. Paech, M. Beer,, "Noise Figure Measurement without a Noise Source on a Vector Network Analyzer," *Rohde & Schwarz Application Note*, 2010.
- [63] A. Tanabe, *et al.*, "A low power LNA using miniature 3D inductor without area penalty of passive components," in *Radio Frequency Integrated Circuits Symposium (RFIC), 2010 IEEE*, 2010, pp. 315-318.
- [64] J. K. Ho, *et al.*, "Ultra low cost advanced package solution -Cu via microstar CSP (CV-u*CSP) development," in *Electronics Packaging Technology Conference (EPTC), 2011 IEEE 13th*, 2011, pp. 369-373.
- [65] T. Tired and P. Andreani, "Single-ended low noise multiband LNA with programmable integrated matching and high isolation switches," in *NORCHIP, 2011*, 2011, pp. 1-4.
- [66] A. Mirzaei, *et al.*, "A frequency translation technique for SAW-Less 3G receivers," in *VLSI Circuits, 2009 Symposium on*, 2009, pp. 280-281.
- [67] J. Borremans, *et al.*, "A 40 nm CMOS 0.4–6 GHz Receiver Resilient to Out-of-Band Blockers," *Solid-State Circuits, IEEE Journal of*, vol. 46, pp. 1659-1671, 2011.
- [68] C. Andrews and A. C. Molnar, "A passive-mixer-first receiver with baseband-controlled RF impedance matching, ≪ 6dB NF, and ≫ 27dBm wideband IIP3," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International*, 2010, pp. 46-47.
- [69] Z. Ru, *et al.*, "Digitally Enhanced Software-Defined Radio Receiver Robust to Out-of-Band Interference," *Solid-State Circuits, IEEE Journal of*, vol. 44, pp. 3359-3375, 2009.
- [70] C. Andrews and A. C. Molnar, "Implications of Passive Mixer Transparency for Impedance Matching and Noise Figure in Passive Mixer-First Receivers," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 57, pp. 3092-3103, 2010.
- [71] C.-C. Wu, "A 2.2mW CMOS LNA for 6-8.5GHZ," *ISCAS*, vol. 2010 Ieee International Symposium on Circuits and Systems, pp. 1631-1634, 2010.
- [72] L. Tsung-Te and W. Chorng-Kuang, "A 0.9mW 0.01-1.4GHz wideband CMOS low noise amplifier for low-band ultra wideband applications," *2005 IEEE Asian Solid-State Circuits Conference (IEEE Cat. No. 06EX1071)*, 2005 2005.
- [73] S. C. Blaakmeer, *et al.*, "Wideband Balun-LNA With Simultaneous Output Balancing, Noise-Canceling and Distortion-Canceling," *Solid-State Circuits, IEEE Journal of*, vol. 43, pp. 1341-1350, 2008.

1.2. Liste des Publications effectuées pendant la thèse

1.2.1. Journal :

Belmas, F.; Hameau, F.; Fournier, J.; , "A Low Power Inductorless LNA With Double G_m Enhancement in 130 nm CMOS," *Solid-State Circuits, IEEE Journal of* , vol.47, no.5, pp.1094-1103, May 2012

1.2.2. Conférences :

Belmas, F.; Hameau, F.; Fournier, J.; , "A 1.3mW 20dB gain low power inductorless LNA with 4dB Noise Figure for 2.45GHz ISM band," *Radio Frequency Integrated Circuits Symposium (RFIC), 2011 IEEE* , vol., no., pp.1-4, 5-7 June 2011

Belmas, F.; Hameau, F.; Fournier, J.-M.; , "A new method for performance control of a differential active inductor for low power 2.4GHz applications," *IC Design and Technology (ICICDT), 2010 IEEE International Conference on* , vol., no., pp.244-247, 2-4 June 2010

Chapitre 6. Annexes 152

A.1.	<i>Annexe A1 – Effets de second ordre sur l'impédance d'entrée des montages GC.....</i>	<i>152</i>
a.	Cas du montage grille commune simple.....	152
b.	Cas du LNA réalisé en Partie 2	153
A.2.	<i>Annexe 2 – Comparaison de performances sur un montage GC avec et sans inductances.....</i>	<i>156</i>
A.3.	<i>LNA à annulation de bruit.....</i>	<i>158</i>
A.4.	<i>Calcul des fonctions de transfert fréquentielles du gain du LNA proposé.....</i>	<i>161</i>
A.5.	<i>Calcul des contributeurs au facteur de bruit du LNA proposé</i>	<i>162</i>
A.6.	<i>Estimation de la stabilité du LNA par l'étude de la boucle de contre-réaction propre à C4.....</i>	<i>164</i>
A.7.	<i>Comparateur DC utilisé dans la boucle de polarisation du LNA V₂..</i>	<i>167</i>
A.8.	<i>Impédance d'entrée du LNA V2.....</i>	<i>169</i>

Chapitre 6. Annexes

A.1. Annexe A1 – Effets de second ordre sur l'impédance d'entrée des montages GC.

a. Cas du montage grille commune simple

L'impédance d'entrée du montage GC de la Figure 3-5 peut être notablement influencée par les parasites du transistor MOS. La bande passante de l'impédance d'entrée est alors plus réduite par rapport au LNA à contre réaction. Le g_{DS} et le c_{GS} du MOS principal induisent respectivement une contre réaction positive (A1-1) et l'apparition d'une partie inductive (A1-2) dans l'impédance d'entrée :

Tableau A1-1 Impédance d'entrée d'un LNA GC non idéal

PARAMETRES DU LNA	Z_{IN}
g_{m1}, g_{DS1}	$Z_{IN} = \frac{1 + R_L g_{DS1}}{g_{m1} + g_{DS1}} = \frac{1}{g_{m1} + g_{DS1}} + \frac{R_L}{g_{m1} r_{DS1} + 1} \quad (A1-1)$
g_{m1}, c_{GS1}, R_G	$Z_{IN} = \frac{1 + R_G c_{GS1} p}{g_{m1} + c_{GS1} p} \cong \frac{1}{g_{m1}} + j \cdot \left(\frac{R_G c_{GS}}{g_{m1}} \right) \omega \quad (A1-2)$

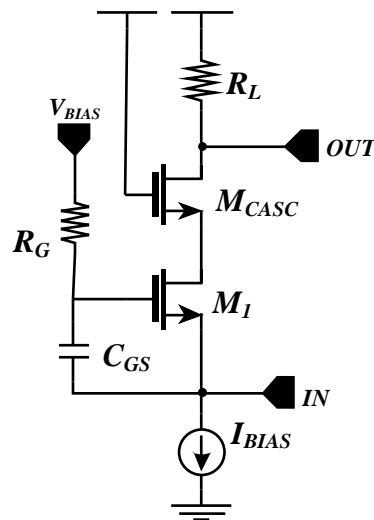


Figure A-1. Montage grille commune cascodé avec impédance de grille finie.

Lorsque le paramètre g_{DS1} est élevé, l'influence de l'impédance de sortie sur l'entrée est importante. La partie inductive est issue du zéro fréquentiel créé par le réseau $(R_G C_{GS})$. L'inductance vaut alors $L_{IN} = R_G c_{GS} / g_{m1}$. Il existe également un pole d'entrée défini par ce

même réseau qui aboutit à la coupure du v_{GS} du MOS à haute fréquence. Cela peut fortement limiter la bande passante du LNA (A1-3).

$$A_V = \frac{v_{OUT}}{v_{IN}} \cong \frac{g_{m1}R_L}{1 + R_G C_{GS}p} \quad (A1-3)$$

La polarisation de la grille dans un montage GC n'est donc pas triviale. Lorsque le terminal de grille peut être correctement découplé à l'aide d'une forte capacité, le pole et le zéro lié au réseau ($R_G C_{GS}$) peut être évité.

b. Cas du LNA réalisé en Chapitre 3. Partie 2

On décrit ici le comportement haute fréquence de Y_{IN-D} , l'admittance différentielle d'entrée du LNA proposé, en tenant compte des capacités parasites, on utilise alors le circuit simplifié suivant :

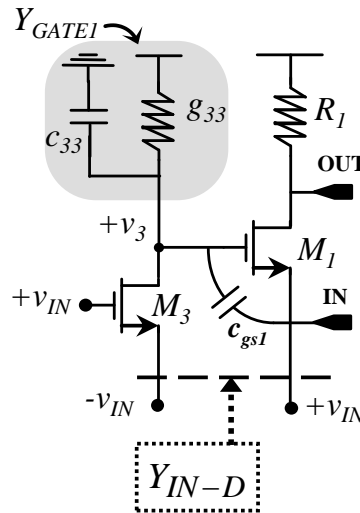


Figure A-2. Schéma simplifié pour déterminer l'admittance d'entrée différentielle.

Pour simplifier l'analyse, la charge de M_3 est réduite au modèle g_{33}/c_{33} avec $C_{33} = C_{x3} + C_{GD3} + C_{GD1} + C_{GS1}$ une capacité équivalente et $g_{33} = R_3^{-1} + g_{DS4}$. Les zéros de Y_{IN-D} situés en hautes fréquence sont négligés car ils influencent peu l'impédance d'entrée. On inclut l'effet de la capacité parasite d'entrée C_{IN} (plots d'accès, protection ESD).

$$\begin{aligned}
Y_{IN-D} &= \frac{1}{2} \left[\overbrace{2g_{m3} + g_{DS3} + g_{m1} + \frac{g_{DS1}(R_1^{-1} - g_{m1})}{R_1^{-1} + g_{DS1}}}^{g_{mCG-1\&3}} + c_{gs1}p \right] \\
&+ \frac{1}{2} \left(\overbrace{g_{m1} \frac{g_1}{g_1 + g_{DS1}} - g_{DS3}}^{g_{m1EQ}} + c_{gs1}p \right) \frac{(2g_{m3} + g_{DS3}) - c_{gs1}p}{(g_3 + g_{DS3}) + (c_{33} + c_{gs1})p} \\
&+ \frac{C_{in}}{2} \cdot p
\end{aligned} \tag{A1-4}$$

Les termes g_{m1EQ} et $g_{mCG-1,3}$ permettent de synthétiser l'expression de Y_{IN-D}

Avec cette formulation on obtient alors l'expression (A1-4). La transconductance équivalente g_{m1EQ} , sensiblement égale à g_{m1} , subie l'effet du gain g_m —boost. L'analyse de cette expression surligne l'existence d'une partie imaginaire non nulle sous la forme d'une inductance équivalente. L'allure du module Y_{IN-D} en fonction de la fréquence est illustré ci-après en Figure A-3.

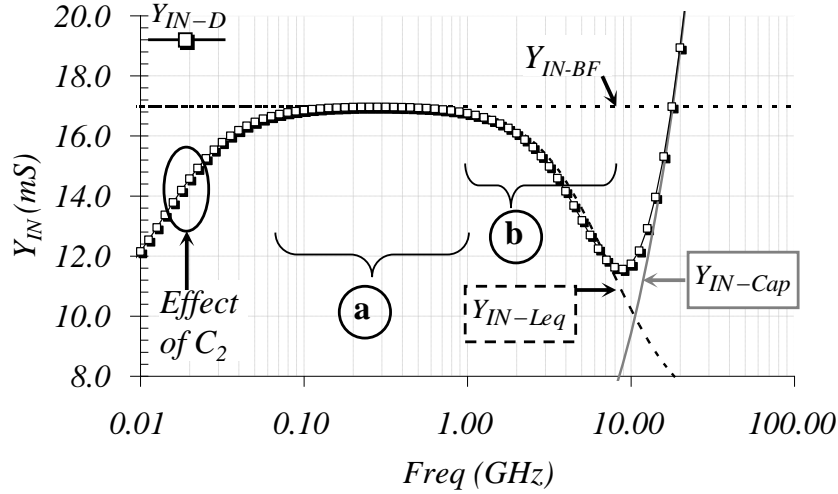


Figure A-3. Evolution du module de l'admittance d'entrée Y_{IN-D} en fonction de la fréquence

On distingue donc un domaine basse fréquence (Y_{IN-BF} , noté **a.**) où l'on obtient le comportement décrit dans le Tableau 3-11. A partir de la pulsation de coupure $\omega_{Leq} = (g_{33} + g_{DS3}) / (c_{33} + c_{gs1})$, l'admittance présente une partie imaginaire inductive (Y_{IN-Leq} , noté **b.**) alors que le module de l'admittance diminue. Ceci est dû à la coupure du gain de g_m —boost introduite par la capacité parasite du nœud v_3 . Enfin, en plus haute fréquence,

l'inductance active résonne avec la capacité parasite d'entrée ($C_{in} \cong 0,3pF$). Les équations correspondantes à ces approximations de Y_{IN-D} sont détaillées dans le Tableau A1-2.

Tableau A1-2 *Approximations fréquentielles de Y_{IN-D} .*

DOMAINE DE FREQUENCE	APPROXIMATION DE Y_{IN-D}
a. $\omega_{rx} \ll \omega \ll \omega_{Leq}$	$2.Y_{IN-BF} \cong g_{CG(1,3)} + g_{m1EQ} \left(\frac{2g_{m3} + g_{DS3}}{g_{33}} \right)$
b. $\omega_{Leq} \ll \omega \ll \omega_{Cap}$	$2.Y_{IN-Leq} \cong g_{CG(1,3)} + \frac{g_{m1EQ}(2g_{m3} + g_{DS3})}{(R_3^{-1} + g_{DS3}) + (c_{33} + c_{gs1})p}$
c. $\omega_{Cap} \ll \omega$	$2.Y_{IN-Cap} \cong C_{in} \cdot p$

Pour des valeurs non négligeables de la capacité d'entrée C_{in} l'inductance active permet d'étendre la bande passante de l'adaptation en entrée.

A.2. Annexe 2 – Comparaison de performances sur un montage GC avec et sans inductances

Il existe dans l'état de l'art beaucoup de réalisation de montage GC avec inductances, parmi les LNA publiés qui présentent une faible consommation, beaucoup sont basés sur la technique du montage GC. A titre illustratif on peut comparer deux circuits GC basé sur la même approche dont le premier utilise des inductances [71], alors que le second les évite [72] (Figure A2-1, Tableau A2-1).

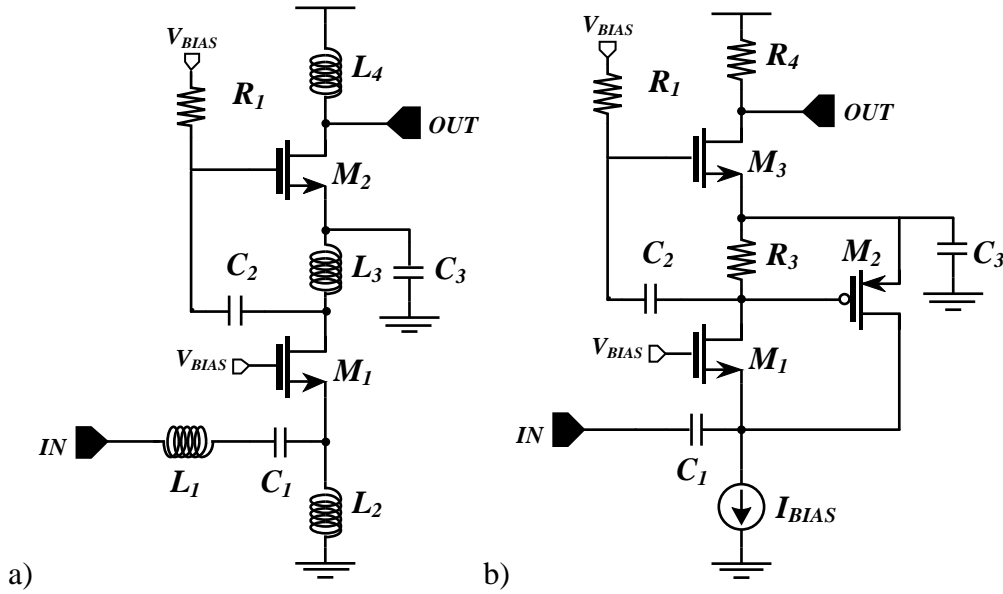


Figure A2-1. LNA présenté dans [71](a) et un équivalent sans inductance (b) [72]

Tableau A2-1 LNA de [71] et [72]

Ref	A (mm ²)	P_{DC} (mW)	S_{21} (dB)	BW (GHz)	NF (dB)	S_{11} (dB)	IIP ₃ (dBm)	ICP (dBm)
[71]	0,22	2,2	13,4	6,5 – 8	5 – 6,5	-12,6	-6,5	-15
[72]	0,03	0,9	22 (G_v)	0.01 – 1.4	7 – 8	-7	-17,5	-25

Dans ces 2 circuits, le principe du GC est utilisé pour l'adaptation. Un montage SC est superposé pour réutiliser le courant afin de minimiser la consommation. Ce second étage permet de compléter le gain et rajoute un degré de réglage supplémentaire dans le circuit. Le circuit SC est couplé capacitivement et la masse virtuelle nécessaire au bon fonctionnement des deux amplificateur est obtenue à l'aide de C_3 . La comparaison entre [71] et [72] montre que l'absence d'inductance réduit l'encombrement silicium d'un facteur sept mais que le bruit

et la linéarité sont notablement dégradés. La réalisation de [72] comporte en outre une boucle de contre réaction auxiliaire pour améliorer l'adaptation à faible consommation

A.3. LNA à annulation de bruit

Les LNA à annulation de bruit exploitent en général l'existence de chemin d'amplification agissant différemment vis-à-vis du bruit thermique des transistor et du signal d'entrée. Ceci permet d'imaginer des structures où l'on somme le signal utile tout en annulant le bruit. Une autre approche propre aux circuits différentiels consiste à transposer le bruit sous forme de mode commun de sorte qu'il ne soit plus présent dans le signal différentiel de sortie.

Le principe du g_m —boost passif par la technique de CCC dans un montage GC peut être interprété, sous certaines hypothèses, comme un LNA avec annulation du bruit. Si l'on considère le bruit thermique de drain des MOS d'amplification ramené sous la forme d'une tension de bruit sur la grille, on peut montrer que ce bruit sera présent en partie sous la forme d'un mode commun sur la sortie et non sous forme différentielle. On considérant uniquement la source de bruit $\overline{v_{nM1}^2}$ de la Figure A3-1, on obtient les tensions de bruit aux sorties différentielles suivantes :

$$\overline{v_{nOp}^2} = -\left(\frac{g_{m1}R_L}{1+2g_{m1}R_S}\right)^2 \overline{v_{nM1}^2} - \left(\frac{g_{m1}^2R_LR_S}{1+2g_{m1}R_S}\right)^2 \overline{v_{nM1}^2} \quad (A3-1)$$

$$\overline{v_{nOm}^2} = -\left(\frac{g_{m1}^2R_LR_S}{1+2g_{m1}R_S}\right)^2 \overline{v_{nM1}^2} \quad (A3-2)$$

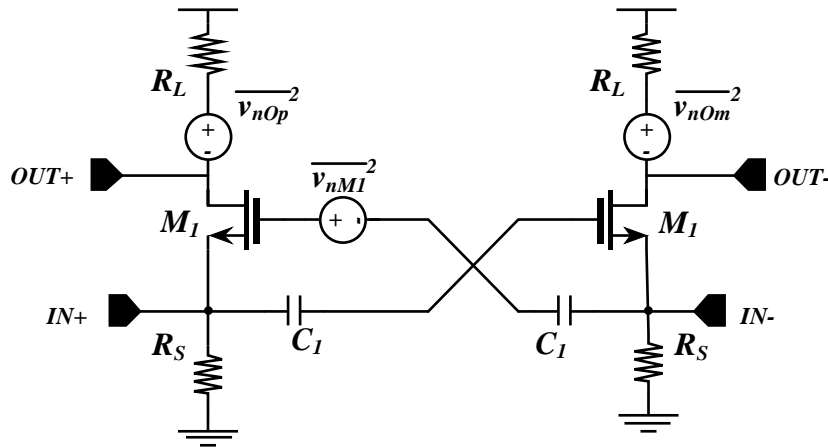


Figure A3-1. Annulation de bruit partielle dans un LNA différentiel avec g_m —boost passif

Le bruit thermique généré sur la sortie $OUT -$ par la source de bruit v_{nM1}^2 est également présent sur l'autre sortie différentielle. Ainsi la DSP de bruit en sortie est réduite.

Cette analyse suppose que la capacité de couplage C_1 se comporte comme un court-circuit idéal et n'induit pas de délais important. On suppose également que les 2 demi-circuits sont

suffisamment bien appariés pour que leurs paramètres petits signaux soient considérés comme identiques.

La technique d'annulation de bruit en exploitant deux voies d'amplifications distinctes est quant à elle souvent utilisé au sein des LNA de type balun-actif schématiquement représentés dans la Figure A3-2 ci-dessous.

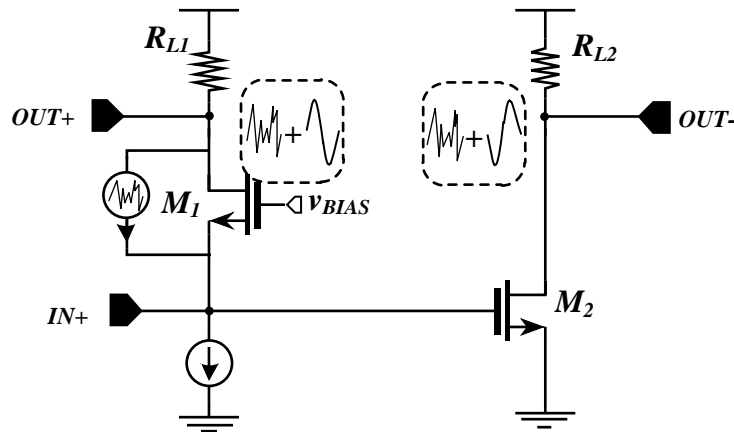


Figure A3-2. LNA Balun avec annulation de bruit

En règle générale, pour équilibrer le bruit annulé et pour obtenir un mode différentiel correct, les MOS M_1 , M_2 n'ont pas le même courant ni la même taille. Il en résulte des impédances de charges différentes ($R_{L1} \neq R_{L2}$) qui n'offrent pas la même dynamique large signal en sortie. On peut également montrer que le courant non linéaire de l'étage de grille commune est compensé par le même mécanisme que celui qui annule le bruit [73]. Le non équilibrage des charges est cependant assez problématique vis-à-vis des variations technologiques. Les auteurs de [57] ainsi que [48] peuvent néanmoins adresser ce problème grâce à la technique de g_m —boost.

Ces réalisations avec annulation de bruit nécessitent toutefois un contrôle précis des fonctions de transfert qui procurent l'annulation. En présence de mismatch et de variations process globales, on peut rapidement s'éloigner du cas idéal où les bruits s'annulent puisque l'annulation temporelle du bruit requiert une maîtrise des délais de groupe des fonctions de transfert et des interconnexions pour être pertinente.

D'autres structures plus complexes de LNA à annulation de bruit existent [33] mais on est fréquemment confronté à des topologies de LNA à étages multiples dont les niveaux de consommation ne sont plus du tout compétitifs face aux technique de g_m —boost appliqué aux LNA à un seul étage.

Pour ces raisons, le cas particulier du LNA à annulation de bruit à été écarté des perspectives de nos travaux. Il s'agit là d'un choix orienté par les performances en consommation publiées pour ce type de LNA.

A.4. Calcul des fonctions de transfert fréquentielles du gain du LNA proposé.

Les fonctions de transfert des gains du LNA étudié sont obtenues à l'aide du système matriciel formulé selon la méthode CMNA [32]. Le système est détaillé ci-dessous (1(A4-1) & 1(A4-2)), où les inconnues sont $G_v(p)$, $G_{boost}(p)$; respectivement le gain du LNA et le gain du circuit de g_m —boost. On néglige une nouvelle fois dans cette analyse l'influence de C_{C2} et de c_{gs3} pour minimiser la taille de la matrice (coupure basse fréquence de C_2 à $f = 16MHz \ll 2,45GHz$). Les parasites de M_4 sont négligeable grâce à la masse dynamique décrite en Chapitre 3.2.1.2. On utilise enfin les notations simplifiées détaillées en 1(A4-2).

$$\begin{pmatrix} g_{33} + p(C_{33} + C_4) & p \cdot \delta C_4 \\ g_{m1} + pC_4 & g_{11} + p(C_{11} + C_4) \end{pmatrix} \cdot \begin{pmatrix} G_{boost}(p) = V_{D3}/V_{IN} \\ G_v(p) = V_{OUT}/V_{IN} \end{pmatrix} \quad (A4-1)$$

$$= \begin{pmatrix} -(2g_{m3} + g_{DS3}) + (C_{GS1} + C_{GD3})p \\ (g_{m1} + g_{DS1}) \end{pmatrix}$$

$$g_{33} = R_3^{-1} + g_{ds4} + g_{DS3} \quad , \quad C_{33} = C_{x3} + C_{GD3} + C_{GD1} + C_{GS1} \quad (*)$$

$$g_{11} = R_1^{-1} + g_{DS1} \quad , \quad C_{11} = C_L + C_{GD1} \quad (A4-2)$$

$$\delta C_4 = (C_{C4} - C_{GD1})$$

(*) C_{x3} représente les parasites layout supplémentaires au nœud v_3 .

Les fonctions de transfert $G_v(p)$, $G_{boost}(p)$ ainsi calculées présentent toutes les deux la même paire de pôles complexes conjugués (ω_0, ξ) ainsi qu'une paire de zéros (a_1, a_2) , (b_1, b_2) différents selon que l'on considère le gain du LNA ou celui du circuit de g_m —boost :

$$G_v(p) = G_{v-DC} \cdot \frac{1 + \frac{p}{a_1} + \frac{p^2}{a_2}}{\left(1 + \frac{2\xi}{\omega_0}p + \frac{p^2}{\omega_0^2}\right)} \quad (A4-3)$$

$$G_{boost}(p) = G_{boost-DC} \cdot \frac{1 + \frac{p}{b_1} + \frac{p^2}{b_2}}{\left(1 + \frac{2\xi}{\omega_0}p + \frac{p^2}{\omega_0^2}\right)} \quad (A4-4)$$

Pour la polarisation et la géométrie des transistors du prototype présenté dans ce chapitre (Tableau 3-10, page 90), seul le zéro associé à b_1 a une influence notable en dessous de la coupure principale associée à ω_0 . Les autres zéros (a_1, a_2, b_2) interviennent en très haute fréquence (au-delà de ω_0) et ont peu d'impact sur l'allure du gain. Les expressions détaillées des paramètres de (A4-3) et (A4-4) sont données dans le tableau ci-après.

Tableau A4-1. Poles et zeros des GAINS du LNA

$G_{boost}(p)$	$G_v(p)$
$b_1 \approx \frac{(2C_{11}g_{m3} + g_{m1}\delta C_4 - g_{11}(C_{GS1} + C_{GD3}))}{2g_{m3}g_{11}}$	$a_1 \approx \frac{(C_{33}g_{m1} + 2g_{m3}\delta C_4 - g_{m1}(C_{GS1} + C_{GD3}))}{g_{m1}(g_{33} + 2g_{m3})}$
$b_2 \approx \frac{-C_{11}(C_{GS1} + C_{GD3})}{2g_{m3}g_{11}}$	$a_2 \approx \frac{\delta C_4(C_{GS1} + C_{GD3})}{g_{m1}(g_{33} + 2g_{m3})}$
$\omega_0 = \sqrt{\frac{g_{11}g_{33}}{C_{11}C_{33} - c_{gd1}^2 + C_4(C_{11} + C_{33} + 2c_{gd1})}}$ $\xi = \frac{C_{33}g_{11} + C_{11}g_{33} - C_4(g_{m1} - g_{11} - g_{33})}{2\sqrt{g_{11}g_{33}C_{pole}^2}}$	

Ces résultats permettent également d'identifier les paramètres qui vont être influencés par la valeur de C_4 : l'amortissement ξ , la pulsation ω_0 ainsi que la pulsation associé au zéro noté b_1 .

Enfin on note que le v_{gs} du MOS de GC principal est sensiblement égal au gain de g_m —boost, puisque que $v_{GS-M1}/v_{IN} = (v_{d3} - v_{IN})/v_{IN} = G_{boost}(p) - 1 \cong G_{boost}(p)$. On peut donc décrire l'amplificateur de g_m —boost comme un préamplificateur dont le gain et la bande passante agissent sur la tension de contrôle (v_{gs}) de l'amplificateur principal.

A.5. Calcul des contributeurs au facteur de bruit du LNA proposé

La matrice du système équivalent pour calculer le facteur de bruit est la suivante :

$$\begin{pmatrix} R_3^{-1} & 0 & g_{m3} & -g_{m3} \\ g_{m1} & \frac{g_1}{2} & -g_{m1} & 0 \\ -g_{m1} & 0 & g_{m1} + g_s & 0 \\ 0 & 0 & -g_{m3} & g_{m3} + g_s \end{pmatrix} \cdot \begin{pmatrix} v_3 \\ v_{out} \\ v_{in-a} \\ v_{in-b} \end{pmatrix} = \begin{pmatrix} \bar{i}_{M3}^2 + \bar{i}_{R3}^2 \\ \bar{i}_{M1}^2 + \bar{i}_{R1}^2 \\ -\bar{i}_{M1}^2 - \bar{i}_{RS}^2 \\ -\bar{i}_{M3}^2 + \bar{i}_{RS}^2 \end{pmatrix} \quad (A5-1)$$

Cette matrice permet de calculer une à une les fonctions de transfert en bruit de chaque source de bruit thermique vers la sortie. A l'aide de ces fonctions de transfert, on calcule ensuite le facteur de bruit F défini comme :

$$F = 1 + \frac{\overline{i_{Ri}}^2 \cdot (TFn_{Ri})^2 + \overline{i_{Mi}}^2 \cdot (TFn_{Mi})^2}{4kT \cdot (1/2R_s) \cdot (TFn_{RS})^2} \quad (A5-2)$$

On distingue ensuite les contributions de chaque source de bruit selon la notation suivante :

$$\begin{aligned}
 F &= 1 + F_{M3} + F_{R3} + F_{M1} + F_{R1} \\
 F_{M3} &= \frac{2g_{m3}R_3^2NEF_3}{R_S(1 + g_{m3}(2R_3 + R_S))^2} \\
 F_{M1} &= \frac{2(1 + g_{m3}R_S)^2NEF_1}{g_{m1}R_S(1 + g_{m3}(2R_3 + R_S))^2} \\
 F_{R3} &= \frac{2R_3(1 + g_{m3}R_S)^2}{R_S(1 + g_{m3}(2R_3 + R_S))^2} \\
 F_{R1} &= \frac{2(1 + g_{m3}R_S + g_{m1}R_S(1 + g_{m3}(R_3 + R_S)))^2}{g_{m1}^2R_1R_S(1 + g_{m3}(2R_3 + R_S))^2}
 \end{aligned} \tag{A5-3}$$

On simplifie enfin les contributeurs détaillés dans (A5-3) de façon à obtenir une expression approximative plus facile à interpréter. On suppose notamment : $2R_3 \gg R_S$, $2g_{m3}R_3 \gg 1$ et $g_{m3}R_S \ll 1$. Ce qui nous amène à l'équation (3-32) du facteur de bruit simplifié.

A.6. Estimation de la stabilité du LNA par l'étude de la boucle de contre-réaction propre à C_4

Pour déterminer les marges de gain et de phase en boucle ouverte d'un circuit présentant une contre réaction potentiellement instable on doit modéliser le circuit en boucle ouverte tout en maintenant les les impédances qui chargent la boucle à l'endroit ou elle est ouverte. La méthode de Middlebrook [59] permet de calculer le gain en boucle ouverte sans avoir à ouvrir cette boucle, en injectant successivement une tension d'erreur v_e et un courant d'erreur i_e pour déterminer la fonction de transfert en boucle ouverte (Figure A6-1).

$$H_i = i_s / i_e \quad (\text{A6-1})$$

$$H_v = v_s / v_e \quad (\text{A6-2})$$

$$H_{BO} = \frac{1 + H_v H_i}{2 + H_i - H_v} \quad (\text{A6-3})$$

Dans le cas ou le circuit est différentiel, l'utilisation de deux baluns idéaux est nécessaire comme indiqué dans le schéma suivant. Il convient alors de vérifier que la polarisation DC éventuellement assurée par la boucle est correctement reproduite en présence des baluns. Dans notre cas la capacité C_4 ne propage aucune polarisation DC.

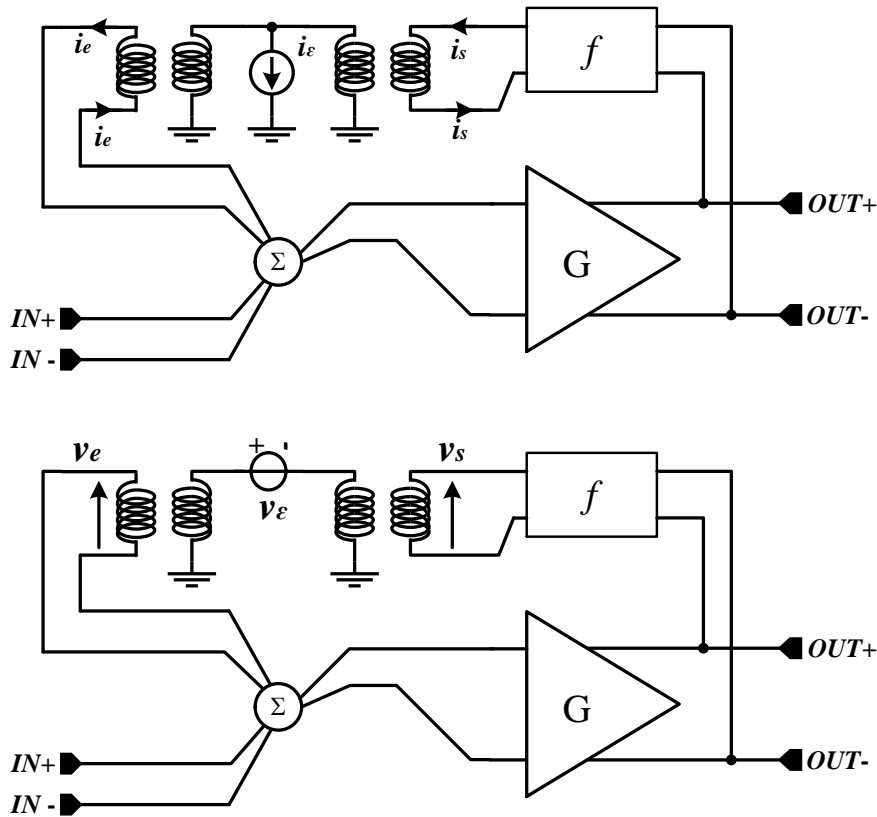


Figure A6-1. Extraction des fonctions de transfert H_v, H_i nécessaires pour calculer la fonction de transfert en boucle ouverte.

Dans le cas du LNA étudié, H_{BO} est calculé au nœud v_3 situé entre l'armature de C_4 et la grille de M_1 . Dans les conditions optimales, l'impédance de source qui charge l'entrée du LNA est de 50Ω sur chaque voie. Pour plusieurs valeurs de C_4 ($50fF$, $250fF$ et $300fF$) on détermine la marge de gain et la marge de phase obtenues dans ces conditions.

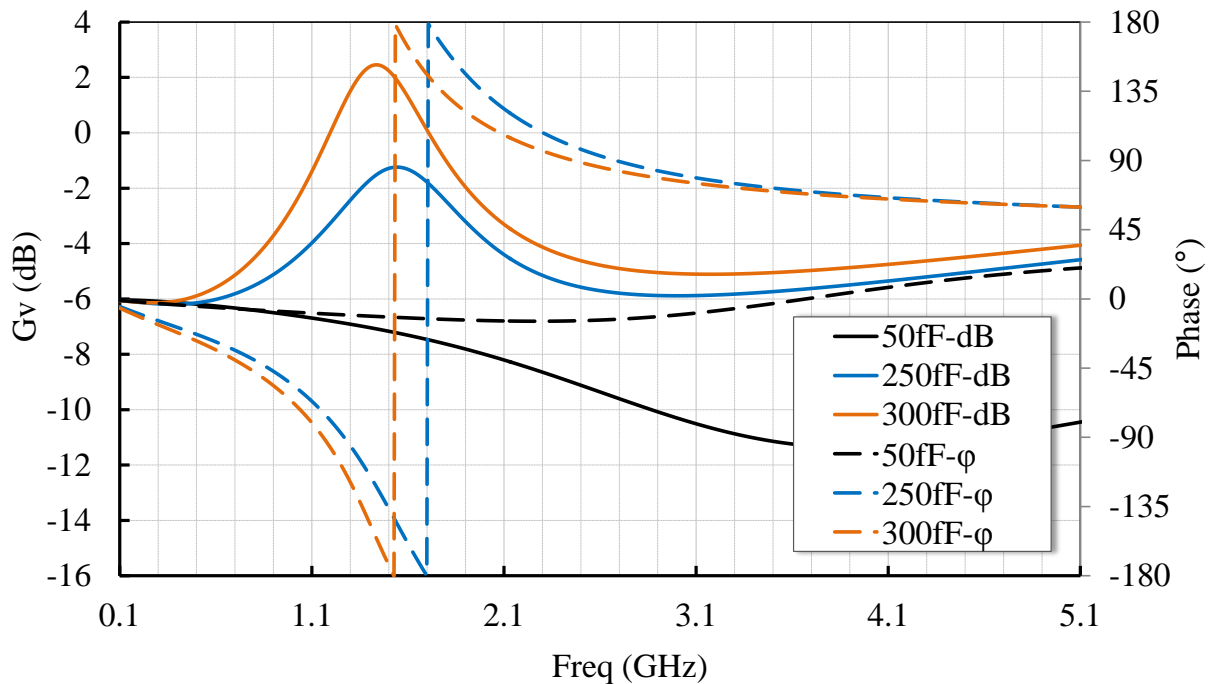


Figure A6-2. *Module (dB) et phase (ϕ) de la fonction de transfert en boucle ouverte pour $C_4 = 50fF$, $250fF$ et $300fF$.*

Avec $C_4 = 50fF$ le gain de boucle reste systématiquement inférieur à $-6dB$ et la phase n'atteint jamais $+45^\circ$. Avec $C_4 = 250fF$ la phase atteint 180° et la marge de gain est réduite à $2dB$. Enfin à $300fF$ il y a nécessairement une instabilité avec un gain de boucle positif de $+2dB$ lorsque la phase atteint 180° . Il existe donc une instabilité pour une valeur de C_4 comprise entre $250fF$ et $300fF$ si l'impédance de l'antenne est fixée à 50Ω . Ces valeurs restent très grandes devant la valeur nominale de $30fF$.

A partir des cercles de stabilités simulés, on peut estimer qu'une impédance d'antenne faible est défavorable à la stabilité globale. On vérifie également la stabilité locale liée à la boucle pour une impédance d'antenne faible fixée à 10Ω en mode commun (20Ω d'impédance différentielle). On cherche à déterminer pour quelle valeur de C_4 la stabilité liée à la boucle de neutrodynage présente une marge de gain positive. L'instabilité apparaît pour une valeur de C_4 comprise entre $100fF$ et $150fF$. Ces valeurs sont une nouvelles fois supérieures à 3 fois la

valeur nominale de C_4 . On conclut donc que le LNA ne présente pas de risque d'instabilité lié à la boucle interne étant donné.

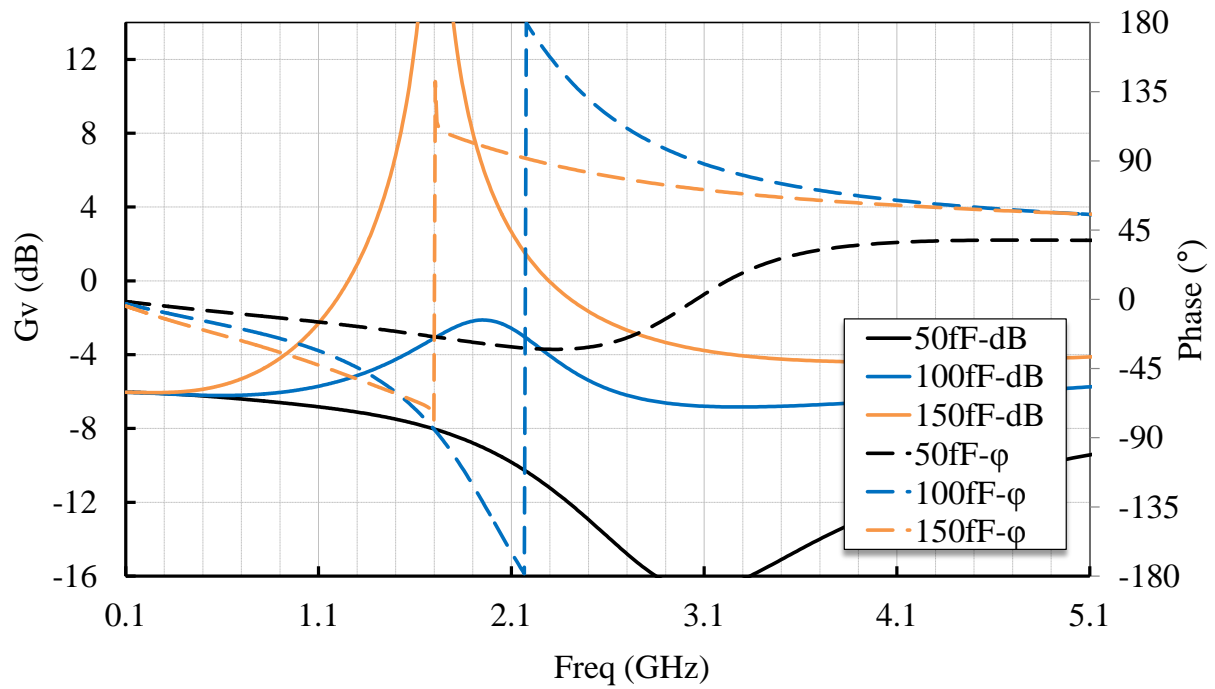


Figure A6-3. Module (dB) et phase (ϕ) de la fonction de transfert en boucle ouverte pour $C_4 = 50\text{fF}$, 100fF et 250fF avec 10Ω d'impédance d'antenne.

A.7. Comparateur DC utilisé dans la boucle de polarisation du LNA

V2.

Le schéma du comparateur utilisé est le suivant :

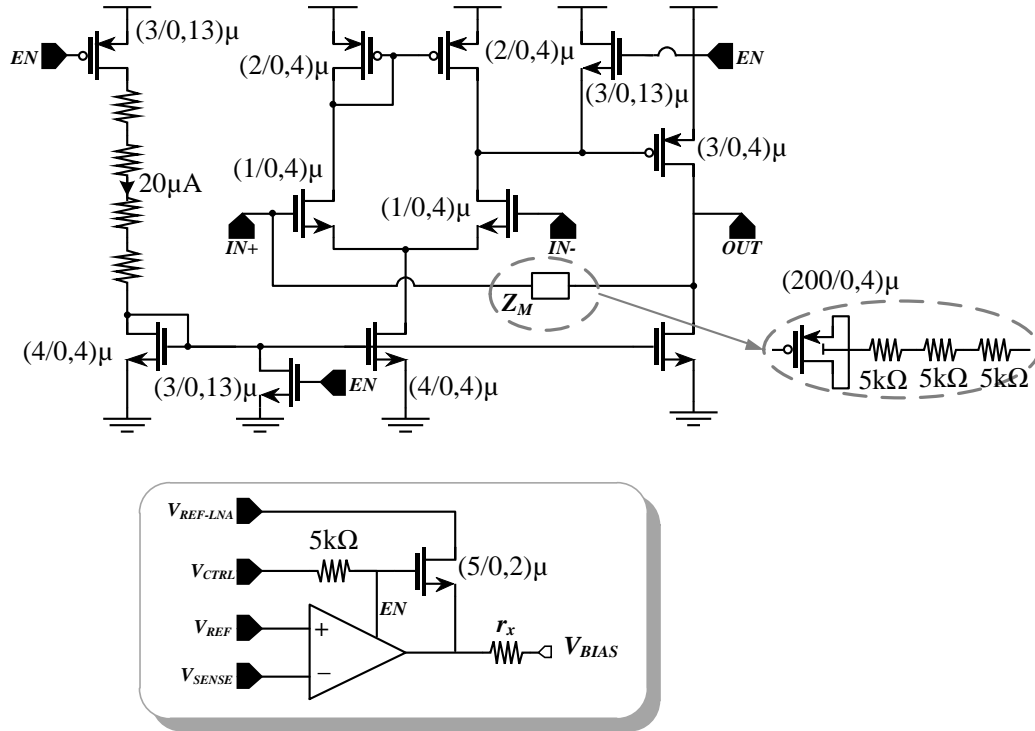


Figure A7-1. Schéma du comparateur DC utilisé pour la polarisation.

Le comparateur n'a pas fait l'objet d'une optimisation précise pour l'implémentation de la version 2 du LNA. Le circuit consiste en un amplificateur différentiel à 2 étages avec une compensation Miller qui fixe le pôle dominant à une fréquence basse. Une résistance série est ajoutée dans l'impédance de Miller (Z_M) pour créer un zéro qui augmente la marge de phase de l'ensemble bouclé LNA+comparateur. A des fins de testabilité du prototype, le comparateur peut être désactivé à l'aide du signal EN qui court-circuite également le nœud V_{BIAS} vers un plot afin de fixer manuellement cette tension. Ceci nous permettra de visualiser l'effet de la boucle sur le LNA lorsque celle-ci est active.

Le paramètre le plus important à vérifier concerne la stabilité introduite par la boucle DC. Comme pour le cas de la capacité de neutrodynage, une marge de gain et de phase importante est nécessaire. Dans la mesure où la bande passante du comparateur est faible, la stabilité sera exclusivement définie par le pôle Miller du montage. Avec le dimensionnement de la Figure A7-1, on obtient les caractéristiques suivantes pour la boucle DC:

Tableau A7-1. *Caractéristiques de la boucle DC*

G_v <i>BOUCLE DC</i>	GBW <i>BOUCLE DC</i>	$\Delta\Phi$	ΔG_v
55dB	71MHz	78°	-16,1dB

Les marges de phases ($\Delta\Phi$) et de gain (ΔG_v) sont suffisamment importantes et sont peu sensibles aux variations technologiques comme nous le verrons ci-dessous. Afin que les dispersions technologiques n'affectent pas l'asservissement (compte tenu de la faible taille des transistors qui composent le comparateur DC) on choisit un gain de comparateur très élevé afin que les variations technologiques les plus pessimistes aboutissent néanmoins à un gain de boucle 50dB. On s'assure ainsi un bon asservissement des courants de polarisation.

A.8. Impédance d'entrée du LNA V2

Dans la seconde version du LNA il existe deux effets gyrateurs d'impédance imbriqués. Le premier effet gyrateur est propre à la charge de l'amplificateur de g_m —boost, Y_{GATE1} . Le second effet gyrateur est identique à celui présent dans la première version du LNA (détaillé dans l'annexe A.1.b — page 153)

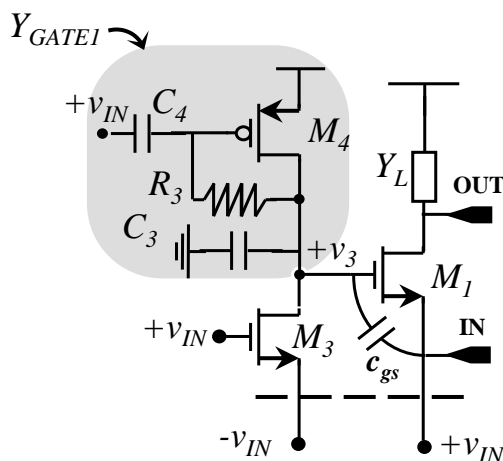


Figure A8-1. Schéma simplifié pour l'étude de l'impédance d'entrée du LNA V2

L'expression de ces deux admittances caractéristiques du LNA sont détaillées ci-dessous :

$$Y_{IN-D} \cong g_{m3} + \frac{g_{m1}}{2} \cdot \left(1 + \frac{2g_{m3} - c_{gs}p}{Y_C + c_{gs}p} \right) \quad (\text{A8-1})$$

$$Y_{GATE-1} \cong \frac{g_{m4} + C_4 p}{1 + R_3 C_4 p} + g_{DS4} + C_3 p \quad (A8-2)$$

Comme précédemment on peut définir des domaines de fréquences délimités par les pôles et zéros de (A8-2). On obtient ainsi les domaines fréquentiels **a.**, **b.** et **c.** où l'impédance de charge de l'amplificateur de g_m —boost se comporte successivement comme une résistance, une inductance et une capacité.

Tableau A8-1 Approximations fréquentielles de Y_{IN-D} .

DOMAINE DE FREQUENCE	APPROXIMATION DE Y_{GATE1}	APPROXIMATION DE Y_{IND-D}
a. $\omega \ll \omega_1$	$Y_{GATE1} \cong g_{m4}$	$Y_{IN-D} \cong g_{m3} + \frac{g_{m1}}{2} \cdot \left(1 + \frac{g_{m3}}{g_{m4}}\right)$
b. $\omega_1 \ll \omega$ $\ll \omega_2$	$Y_{GATE1} \cong g_{DS4} + \frac{g_{m4}}{R_3 C_4 p}$ $= g_{DS4} + \frac{1}{L_x p}$	$Y_{IN-D} \cong \left(g_{m3} + \frac{g_{m1}}{2}\right) + \frac{1}{2} \left(\frac{2g_{m3}g_{m1}L_x}{1 + c_{GS}L_x}\right)p$

c. $\omega_2 \ll \omega$	$Y_{GATE1} \cong C_3 \cdot p$	$Y_{IN-D} \cong (g_{m3} + \frac{g_{m1}}{2}) + \frac{1}{2} \left(\frac{2g_{m3}g_{m1}}{(C_3 + c_{GS})p} \right)$
d. $\omega \cong \omega_2$	$Y_{GATE1-MIN} \cong g_{DS4}$	$Y_{IN-D-MAX} \cong g_{m3} + \frac{g_{m1}}{2} (1 + 2g_{m3}(R_3 + g_{DS4}))$

Il est intéressant de relever la dualité entre l'impédance d'entrée et l'impédance de charge de l'amplificateur de g_m —boost. Ainsi dans le domaine de fréquence noté **b.** Y_{GATE1} comprend une partie imaginaire inductive (L_x) alors que l'impédance d'entrée Y_{IN-D} présente une partie imaginaire capacitive (proportionnelle à L_x). De façon analogue dans le domaine de fréquence noté **c.** Y_{GATE1} est essentiellement une impédance capacitive laquelle correspond alors à une admittance Y_{IN-D} inductive. Enfin l'admittance Y_{GATE1} passe par un minimum (**d.**), lequel correspond au maximum de gain de g_m —boost et au minimum de l'impédance d'entrée. En très hautes fréquences, l'impédance d'entrée du LNA est dominé par la capacité d'entrée qui en fonctionnement réel sera majoritairement lié à la protection ESD.

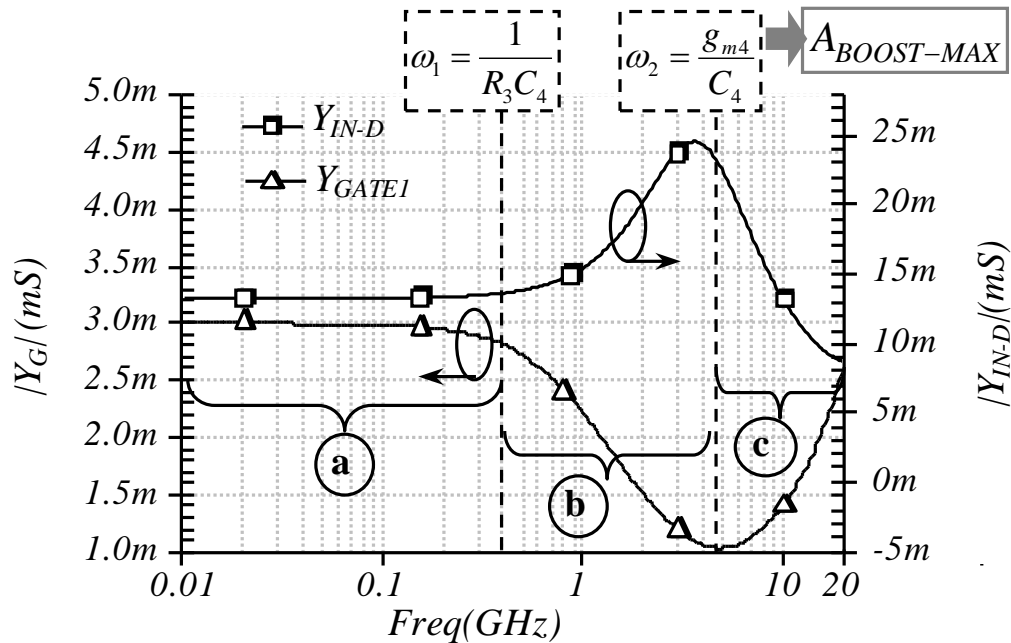


Figure A8-2. Evolution du module de l'admittance d'entrée Y_{IN-D} en fonction de la fréquence

La réalisation du LNA V2 basé sur les informations du paragraphe Chapitre 3.2.3 permet de vérifier que l'allure mesurée de l'admittance présente les même domaines de fonctionnement que ceux détaillées dans la Figure A8-2 :

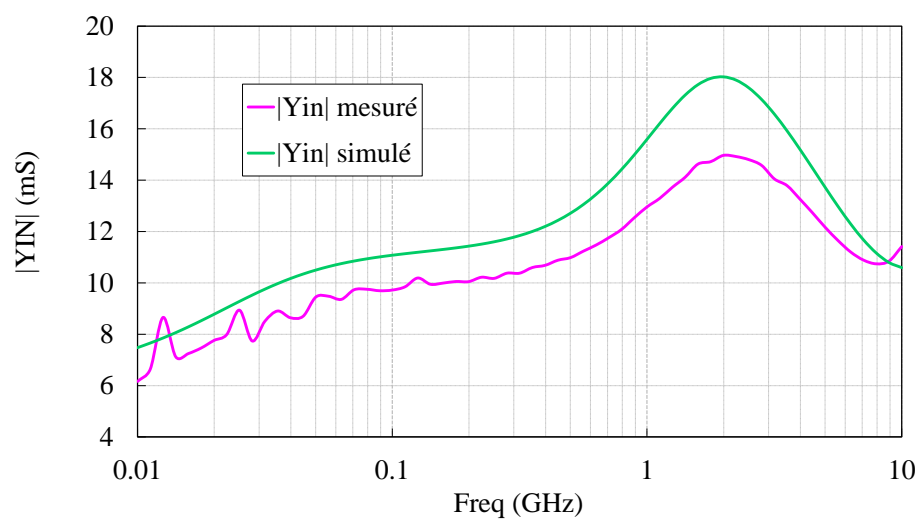


Figure A8-3. Allure de l'admittance d'entrée mesurée du LNA V2.

Résumé de la thèse

La dernière décennie a vu l'explosion des technologies de communication sans fils. Les normes se sont multipliées de sorte que les fonctionnalités GSM, GPS, WIFI, Bluetooth et autres cohabitent parfois au sein du même terminal. Les réseaux de capteurs (Wireless area network WSN) incluant les réseaux de capteur WPAN (Wireless Personnel Area Network) seront amenés à jouer un rôle important dans l'environnement de demain au même titre que les normes sans fils grand public que nous venons de mentionner. Le déploiement de ces capteurs à grande échelle a été rendu possible par la réduction du coût de leur fabrication via la miniaturisation des procédés de fabrication propres à la technologie CMOS. Cependant, la consommation énergétique de ces circuits doit être très réduite permettant ainsi de fonctionner dans le cas où ces mêmes capteurs sont associés à une batterie compacte embarquée de durée de vie réduite. A défaut il serait nécessaire de pouvoir se contenter de l'énergie récupérable - en quantité limitée - disponible dans l'environnement direct de ces capteurs. Cette contrainte de consommation électrique réduite ainsi que la nécessité de profiter au maximum de la miniaturisation du procédé CMOS amène à considérer la conception de circuits radio sous l'angle du faible encombrement surfacique et de la consommation statique la plus faible possible. Ces contraintes sont parfois contradictoires avec les architectures classiques connues de ces circuits radio constituant les capteurs déployés.

Les travaux présentés dans le cadre de cette thèse s'attachent à proposer des solutions afin de répondre à ces critères de consommation et de coût. Nous nous sommes intéressés au cas des amplificateurs faible bruit (Low Noise Amplifier - LNA) et à la possibilité de réaliser ce composant critique pour le lien RF sans utiliser d'inductance intégrées tout en limitant au maximum la consommation électrique. Plusieurs solutions innovantes ont été étudiées afin de répondre à cet objectif. Ces travaux nous ont conduit à la réalisation de plusieurs prototypes de circuits en technologie CMOS 65nm et 130nm qui permettent de comprendre les limites et les avantages d'une telle approche. La première partie présentera une première approche consistant à émuler une inductance à l'aide de composants actifs et ainsi à résoudre le problème de l'encombrement propre aux inductances passives. Nous verrons en quoi cette approche peut présenter des limites pratiques pour une application radio. La seconde partie présentera la réalisation d'un LNA très basse consommation et large bande qui n'utilise pas d'inductance et présentant des performances améliorées vis à vis des topologies connues de LNA à faible consommation. Nous concluons ensuite par les perspectives ouvertes suite à ces travaux et les autres approches possibles pour répondre aux contraintes de la basse consommation et du faible coût.